

(11)Publication number : 07-093979  
(43)Date of publication of application : 07.04.1995

(21)Application number : 05-234767 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 21.09.1993 (72)Inventor : TANAKA TOMOHARU

## 0005 / 02 / 00

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93979

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.<sup>6</sup>G 1 1 C 16/04  
16/06

識別記号

庁内整理番号

F I

技術表示箇所

6866-5L

G 1 1 C 17/ 00

3 0 8

5 1 0 A

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号 特願平5-234767

(22) 出願日 平成5年(1993)9月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

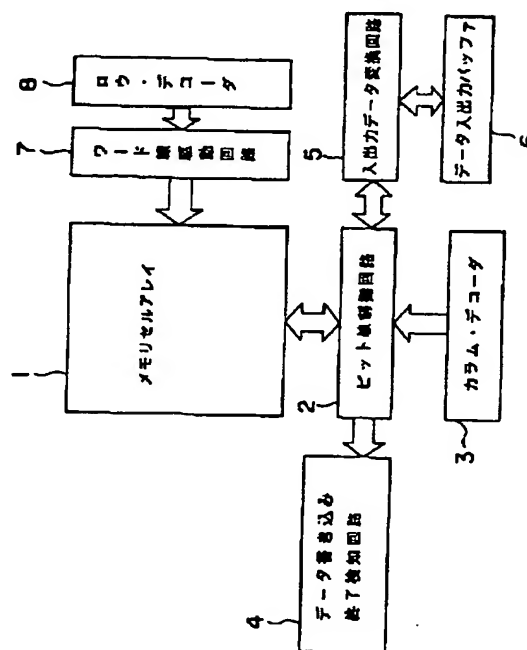
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 3 値の情報を記憶することができ、かつ誤ペリファイを招くことなく書き込みペリファイ動作の高速化をはかり得るEEPROMを提供すること。

【構成】 電氣的書替え可能なメモリセルをマトリクス配置したメモリセルアレイ1を有し、1つのメモリセルに3つの記憶状態を持たせたEEPROMにおいて、複数のメモリセルの書き込み動作状態を制御するデータを一時記憶する複数のデータ回路と、メモリセルに夫々対応するデータ回路の内容に応じて書き込み動作を行う書き込み回路と、メモリセルの書き込み動作後の状態を確認する書き込みペリファイ回路と、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うよう、データ回路の内容を更新するデータ更新回路とを備え、データ回路の内容に基づく書き込み、書き込みペリファイ動作及びデータ回路の内容更新を、メモリセルが所定の書き込み状態になるまで繰返す。



(2)

特開平7-93979

1

## 【特許請求の範囲】

【請求項1】電気的書き替えを可能とし3以上の複数の記憶状態を持たせたメモリセルがマトリクス状に配置されたメモリセルアレイと、

このメモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態を確認するための書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段とを備え、

前記データ回路の内容に基づく書き込み動作と書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより、電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】電気的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態にして任意のデータ“i” ( $i = 0, 1, \sim, n-1; n \geq 3$ )を持たせて多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、センスアンプとしてデータをセンスする機能と、センスした情報を前記メモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態がデータ“1”の記憶状態になっているか否かを確認するための第1 ( $i = 1, 2, \sim, n-1$ )の書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように前記データ回路の内容を、データ“1”となるべきメモリセルに対応するデータ回路について一括更新する第i ( $i = 1, 2, \sim, n-1$ )のデータ回路内容一括更新手段と、

前記第1の書き込みベリファイ手段による記憶状態の確認と第1のデータ回路内容一括更新手段による一括更新を、データ“1”からデータ“n-1”に関してn-1回行い、前記データ回路全てについて内容更新するデータ回路内容更新手段とを備え、

前記第iのデータ回路内容一括更新手段は、第iの書き

2

込みベリファイ手段によりメモリセルの書き込み動作後の状態が出力されるビット線電位のうち、データ“1”

( $i \geq 1$ )となるべきメモリセルに対応するビット線電位が再書き込みデータとしてセンス/記憶され、データ“i”以外の状態となるべきメモリセルに対応するビット線電位はデータ回路の内容を保持するようセンス/記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容をデータ“1”となるべきメモリセルに対応するものについて一括更新を行い、

前記データ回路の内容に基づく書き込み動作とデータ回路内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項3】前記データ回路は、書き込み動作時に該データ回路に記憶されているデータに応じて前記のメモリセルの書き込み動作状態を制御し、該メモリセルの状態を所定の書き込み状態になるよう変化させるか、又は該メモリセルの状態を書き込み動作前の状態に保持するかを制御し、

前記第1のデータ回路内容一括更新手段は、データ“1”の書き込み状態になるべきメモリセルに対応するデータ回路について、

メモリセルをデータ“i”の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“1”の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、

メモリセルをデータ“1”の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“1”の書き込み状態に達していない場合は、メモリセルの状態をデータ“1”の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、

データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定し、

かつ前記第1のデータ回路内容一括更新手段は、データ“1”以外の書き込み状態になるべきメモリセルに対応するデータ回路については変更しないことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルは半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、前記3以上の複数の記憶状態として任意のデータ“i” ( $i = 0, 1,$

3

～,  $n-1$ ;  $n \geq 3$ ) をしきい値の大きさと多値記憶するものであり、

前記第1の書き込みベリファイ手段によって制御ゲートに所定の第 $i$ のベリファイ電位を印加し、データ“ $i$ ”状態になるべきメモリセルのしきい値が所望のしきい値であるか否かをベリファイすることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】データ“0”に対応する記憶状態は消去状態であって、前記データ“ $n-1$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値と最も差が大きく、データ“1”, “2”, ～, “ $i$ ”, ～, “ $n-2$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値からデータ“ $n-1$ ”状態に対応するしきい値の間の値であって、

前記データ“0”状態に対応するしきい値から近い順にデータ“1”, “2”, ～, “ $i$ ”, ～, “ $n-2$ ”状態に対応するしきい値はなっていて、

前記第1の書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、前記データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような第1の補正ビット線電位に設定する第1のビット線電位設定回路を備え、

前記第 $i$  ( $1 \leq i \leq n-2$ ) の書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位のうち、データ“ $j$ ” ( $i+1 \leq j$ ) 状態になるべきメモリセルに対応するビット線の中で、データ回路の内容がメモリセルの状態をデータ“ $j$ ”の書き込み状態になるよう変化させるよう制御するデータとなっているものに対応するビット線電位のみを、データ回路でセンスした場合にメモリセルの状態をデータ“ $j$ ”書き込み状態になるよう変化させるよう制御するデータとなるような第2の補正ビット線電位に設定する第 $j$ のビット線電位設定回路を備え、

前記データ回路内容更新のため、第1の書き込みベリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて前記第1,  $i+1$ ,  $i+2$ , ～,  $n-1$ のビット線電位設定回路によって修正することを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】前記データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込み状態“ $i$ ” ( $i=1, 2, \sim, n-1$ ) を示す情報を記憶する第2のデータ記憶部と、から

(3)

特開平7-93979

4

構成され、

前記第1のデータ記憶部は、前記データ回路内容更新のためデータ回路の内容に応じて前記第1,  $i+1$ ,  $i+2$ , ～,  $n-1$ のビット線電位設定回路によって修正された、第 $i$ の書き込みベリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】前記第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電圧出力回路と、

第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、前記第2のデータ記憶部のメモリセルが記憶すべき書き込み状態“ $i$ ” ( $i=1, 2, \sim, n-1$ ) を示す情報に応じて第1の書き込み時のビット線電圧を出力する第1の書き込みビット線電圧出力回路とを備えたことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的書替え可能な不揮発性半導体記憶装置 (EEPROM) に係わり、特に1つのメモリセルに1ビットより多い情報を記憶させる多値記憶を行うEEPROMに関する。

【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し1単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$  ( $=20V$ 程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 $V_{ppm}$  ( $=10V$ 程度) を印加し、ビット線にはデータに応じて0V又は中間電圧 $V_m$  ( $=8V$ 程度) を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向

5

にシフトする。この状態を例えば“1”とする。ビット線に $V_m$ が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“0”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち全ての制御ゲートを0Vとし、p型ウェルを20Vとする。このとき選択ゲート、ビット線、ソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【0005】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 $V_{cc}$ （例えば5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】読み出し動作の制約から、“1”書き込み後のしきい値は0Vから $V_{cc}$ の間に制御しなければならぬ。このため書き込みベリファイが行われ、“1”書き込み不足のメモリセルのみを検出し、“1”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する（ビット毎ベリファイ）。“1”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V（ベリファイ電圧）にして読み出すこと（ベリファイ読み出し）で検出される。

【0007】つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。“0”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。このベリファイ回路によって高速に書き込みベリファイは実行される。

【0008】書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで、個々のメモリセルに対して書き込み時間が最適化され、“1”書き込み後のしきい値は0Vから $V_{cc}$ の間に制御される。

【0009】このNANDセル型EEPROMで、多値記憶を実現するため、例えば書き込み後の状態を“0”、“1”、“2”の3つにすることを考える。

“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから $1/2V_{cc}$ 、“2”書き込み状態はしきい値が $1/2V_{cc}$ から $V_{cc}$ までとする。従来のベリファイ回路では、“0”書き込み状態にするメモリセルを、“1”又は“2”書き込み不足のメモリセルと誤認されることを防ぐことはできる。

【0010】しかしながら、従来のベリファイ回路は多値記憶用でないため、“2”書き込み状態にするメモリセルで、そのしきい値が、“1”書き込み不足か否かを

(4)

特開平7-93979

6

検出するためのベリファイ電圧以上で $1/2V_{cc}$ 以下の書き込み不足状態である場合、“1”書き込み不足か否かを検出する時にメモリセルで電流が流れず書き込み十分と誤認されてしまうという難点があった。

【0011】また、書き込み不足の誤認を防止して多値の書き込みベリファイを行うには、“1”書き込み十分となったメモリセルに対し、“2”書き込み状態にするメモリセルには再書き込みを行い、“2”書き込み不足で状態であるか否かを検出してベリファイ書き込みを行うようにすればよい。しかしこの場合、“2”書き込み状態にするメモリセルに対しても“1”書き込みの後に“2”書き込み状態にするので、書き込みに時間がかかり書き込み速度が遅くなる。

【0012】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMに多値記憶させ、従来のベリファイ回路でビット毎ベリファイを行おうとすると、誤ベリファイが生じるという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、多値の情報を記憶することができ、かつ誤ベリファイを招くことなく書き込みベリファイ動作の高速化をはかり得るEEPROMを提供することにある。

【0014】

【課題を解決するための手段】本発明は上記課題を解決するために、次のような構成を採用している。即ち、本発明（請求項1）は、多値データを記憶可能な不揮発性半導体記憶装置において、電氣的書き替えを可能とし3以上の複数の記憶状態を持たせたメモリセルがマトリクス状に配置されたメモリセルアレイと、複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数の書き込みデータ回路と、同時にメモリセルアレイ中の複数のメモリセルにそれぞれ対応する書き込みデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に複数のメモリセルの書き込み動作後の状態を確認するための書き込みベリファイ手段と、書き込みデータ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、書き込みデータ回路の内容を更新する手段とを備え、書き込みデータ回路の内容に基づく書き込み動作と、書き込みベリファイと、書き込みデータ回路の内容更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うことを特徴とする。

【0015】また、本発明（請求項2）は、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態として任意のデータ“1”（ $i=0, 1, \sim, n-1; n \geq 3$ ）を持たせ多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半

(5)

特開平7-9,3979

7

8

導体記憶装置において、センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、同時にメモリセルアレイ中の複数のメモリセルにそれぞれ対応するデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に複数のメモリセルの書き込み動作後の状態がデータ“1”の記憶状態になっているか否かを確認するための第 $i$ の書き込みベリファイ手段と( $i=1, 2, \sim, n-1$ )、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うようにデータ回路の内容を、データ“1”となるべきメモリセルに対応するデータ回路について一括更新する第1のデータ回路内容一括更新手段( $i=1, \sim, n-1$ )と、第1の書き込みベリファイ手段による記憶状態の確認と第 $i$ のデータ回路内容一括更新手段による一括更新を、データ“1”からデータ“ $n-1$ ”に関して $n-1$ 回行い、複数のデータ回路全てについて内容更新するデータ回路内容更新手段とを備え、第 $i$ のデータ回路内容一括更新手段は、第 $i$ の書き込みベリファイ手段によりメモリセルの書き込み動作後の状態が出力されるビット線電位のうち、データ“1”( $i \geq 1$ )となるべきメモリセルに対応するビット線電位が再書き込みデータとしてセンス/記憶され、データ“1”以外の状態となるべきメモリセルに対応するビット線電位はデータ回路の内容を保持するようセンス/記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容をデータ“1”となるべきメモリセルに対応するデータ回路について一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うことを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するかを制御すること。

(2) 第1のデータ回路内容一括更新手段は、データ“1”の書き込み状態になるべきメモリセルに対応するデータ回路について、メモリセルをデータ“1”の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“1”の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に

保持するよう制御するデータに変更し、メモリセルをデータ“1”の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“1”の書き込み状態に達していない場合は、メモリセルの状態をデータ“1”の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定し、第1のデータ回路内容一括更新手段は、データ“1”以外の書き込み状態になるべきメモリセルに対応するデータ回路については変更しないこと。

(3) メモリセルは半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、メモリセルは3以上の複数の記憶状態として任意のデータ“ $i$ ”( $i=0, 1, \sim, n-1; n \geq 3$ )をしきい値の大きさで多値記憶し、第1の書き込みベリファイ手段によって制御ゲートに所定の第1のベリファイ電位を印加し、データ“1”状態になるべきメモリセルのしきい値が所望のしきい値であるか否かをベリファイすること。

(4) データ“0”に対応する記憶状態は消去状態であって、データ“ $n-1$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値と最も差が大きく、データ“1”, “2”,  $\sim$ , “1”,  $\sim$ , “ $n-2$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値からデータ“ $n-1$ ”状態に対応するしきい値の間の値であって、データ“0”状態に対応するしきい値から近い順にデータ“1”, “2”,  $\sim$ , “1”,  $\sim$ , “ $n-2$ ”状態に対応するしきい値はなっていて、第1の書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような第1の補正ビット線電位に設定する第1のビット線電位設定回路を備え、第1( $1 \leq i \leq n-2$ )の書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位のうち、データ“ $j$ ”( $i+1 \leq j$ )状態になるべきメモリセルに対応するビット線の中で、データ回路の内容がメモリセルの状態をデータ“ $j$ ”の書き込み状態になるよう変化させるよう制御するデータとなっているものに対応するビット線電位のみを、データ回路でセンスした場合にメモリセルの状態をデータ“ $j$ ”書き込み状態になるよう変化させるよう制御するデータとなるような第2の補正ビット線電位に設定する第 $j$ のビット線電位設定回路を備え、データ回路内容更新のため、第1の書き込みベリファイによりメモリセルの書き込み動作後の状態が出

(6)

特開平7-93979

9

力されるビット線の電位をデータ回路の内容に応じて第1,  $i+1$ ,  $i+2$ , ...,  $n-1$ のビット線電位設定回路によって修正すること。

(5) データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込み状態“ $i$ ” ( $i=1, 2, \dots, n-1$ )を示す情報を記憶する第2のデータ記憶部と、から構成され、第1のデータ記憶部は、データ回路内容更新のためデータ回路の内容に応じて第1,  $i+1$ ,  $i+2$ , ...,  $n-1$ のビット線電位設定回路によって修正された、第1の書き込みベリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(6) 第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電圧出力回路と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、第2のデータ記憶部のメモリセルが記憶すべき書き込み状態“ $i$ ” ( $i=1, 2, \dots, n-1$ )を示す情報に応じて第1の書き込み時のビット線電圧を出力する第1の書き込みビット線電圧出力回路とを備えたこと。

(7) 第1のビット線電位設定回路と書き込み防止ビット線電圧出力回路は共通の第1のビット線電圧制御回路であって、その入力電圧は、書き込み時はその出力が書き込み防止ビット線電圧となるような電圧でありデータ回路内容更新時はその出力が第1の補正ビット線電位となるような電圧であり、第 $j$  ( $j=2, 3, \dots, n-1$ )のビット線電位設定回路と第 $j$ の書き込みビット線電圧出力回路は共通の第 $j$ のビット線電圧制御回路であって、その入力電圧は、書き込み時はその出力が第 $j$ の書き込みビット線電圧となるような電圧でありデータ回路内容更新時はその出力が第2の補正ビット線電位となるような電圧であること。

(8) メモリセルは半導体層上に電荷蓄積層と制御ゲートが積層形成され構成され、複数個づつ直列接続されNANDセル構造を形成していること。

(9) メモリセルは半導体層上に電荷蓄積層と制御ゲートが積層形成され構成され、NORセル構造を形成していること。

【0017】

【作用】本発明に係わる多値 ( $n$  値) 記憶型EEPROMは、ベリファイ読み出し動作を  $n-1$  個の基本動作サイクルから行われるよう構成される。消去状態を“0”とし多値レベルをメモリセルのしきい値の低い順に“0”, “1”, ..., “ $i$ ”, ..., “ $n-1$ ”とする

10

と、 $i$  番目のサイクルでは“ $i$ ”書き込みが十分か否かだけをベリファイするよう構成される。このため、選択された制御ゲートに、“1”書き込み不十分であればメモリセルで電流が流れるように、 $i$  番目のサイクルで所定の  $i$  レベルのベリファイ電圧を印加するベリファイ電位発生回路を備え、ビット線の電圧を検知することで書き込み十分か否かを検出するセンスアンプを備える。 $i$  番目のサイクルで、“0”, ..., “ $i-1$ ”書き込みをするメモリセルのビット線は、既に書き込み十分と検出されていればメモリセルの電流は補償され、書き込み不十分であると検出されていればメモリセルの電流は補償されないよう第1のベリファイ回路が設けられる。 $i$  番目のサイクルで、“ $i+1$ ”, ..., “ $n-1$ ”書き込みをするメモリセルのビット線は、既に書き込み十分と検出されていれば第1のベリファイ回路によりメモリセルの電流は補償され、書き込み不十分であると検出されていればメモリセルの電流が流れたようにビット線電圧を設定する第2のベリファイ回路が設けられる。

【0018】また、書き込み十分か否かをデータとして記憶する第1のレジスタと、書き込む多値レベルが“1”, ..., “ $n-1$ ”のうちのいずれかを記憶する第2のレジスタを備え、第1のレジスタは書き込み十分か否かを検出するセンスアンプの機能も兼ね備える。さらに所望の書き込み状態に達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧を出力するビット線書き込み電圧出力回路を備えたことを特徴としている。

【0019】本発明においては、多値データ書き込みを行った後、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。この書き込み動作とベリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0020】このようにして本発明によれば、1回の書き込み時間を短くして、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返すことによって、最終的にデータ書き込みが終了したメモリセルのしきい値を小さくすることを、高速に行うことができる。

【0021】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の第1の実施例に係わるNANDセル型EEPROMの概略構成を示すブロック図である。

【0022】メモリセルアレイ1に対して、読み出し/



(7)

特開平7-93979

11

書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路7が設けられる。ビット線制御回路2、ワード線駆動回路7は、それぞれカラム・デコーダ3、ロウ・デコーダ8によって選択される。ビット線制御回路2は、データ入出力線(10線)を介して入出力データ変換回路5と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路5は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。入出力データ変換回路5は、外部とのデータ入出力を制御するデータ入出力バッファ6に接続される。データ書き込み終了検知回路4はデータ書き込みが終了したか否かを検知する。

【0023】図2、図3は、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM1～M8と選択トランジスタS1、S2で、NAND型セルを構成する。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1、SG2、制御ゲートCG1～CG8は、複数のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、Vtが0V以下である場合“0”データ、Vtが0V以上1.5V以下の場合“1”データ、Vtが1.5V以上電源電圧以下の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1は専用のpウェル上に形成されている。

【0024】クロック同期式インバータCI1、CI2とCI3、CI4でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータCI1、CI2で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータCI3、CI4で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

【0025】nチャネルMOSトランジスタの内、Q

12

n1は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn2は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn3～Qn6、Qn9～Qn12は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH、VBLM、VBLLを選択的にビット線に転送する。Qn7、Qn8はそれぞれ信号SAC2、SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn13は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn14、Qn15とQn16、Qn17はそれぞれカラム選択信号CSL1、CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA、IOBを選択的に接続する。

【0026】なお、図3においてインバータ部分を図19(a)に示すように省略して示しているが、これは図19(b)に示す回路構成となっている。次に、このように構成されたEEPROMの動作を図4～図6に従って説明する。図4は読み出し動作のタイミング、図5は書き込み動作のタイミング、図6はペリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG4が選択された場合を例に示してある。

【0027】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、選択ゲートSG1、SG2、制御ゲートCG1～CG3、CG5～CG8はVccとされる。同時に制御ゲートCG4は1.5Vにされる。選択されたメモリセルのVtが1.5V以上の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“H”レベルのまま保持される。

【0028】この後、センス活性化信号SEN2、SEN2Bがそれぞれ“L”、“H”、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“L”、“H”となって、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータCI3、CI4で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2、SEN2Bがそれぞれ“H”、“L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“H”、“L”となり、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップに、「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0029】読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートCG4の電圧が1.5Vでなく0Vであること、信号SEN2、SEN2B、LAT2、LAT2B、SAC2の代わりに信号SEN1、SEN1



(8)

特開平7-93979

13

B, LAT1, LAT1B, SAC1 が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータC11, C12で構成されるフリップ・フロップに、「0」データか、「1」又は「2」データかの情報がラッチされる。

【0030】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値 $V_t$ は0V以下となっている。消去はpウェル、共通ソース線Vs、選択ゲートSG1, SG2を20Vにし、制御ゲートCG1~CG8を0Vとして行われる。

【0031】書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。選択ゲートSG1がVcc、制御ゲートCG1~CG8がVccとされる。選択ゲートSG2は書き込み動作中0Vである。同時に、信号VRFY1, VRFY2, FIM, FIHがVccとなる。“0”書き込みの場合は、クロック同期式インバータC11, C12で構成されるフリップ・フロップに、クロック同期式インバータC11の出力が“H”になるようにデータがラッチされているため、ビット線はVccにより充電される。“1”又は“2”書き込みの場合は、ビット線は0Vである。

【0032】続いて、選択ゲートSG1、制御ゲートCG1~CG8、信号BLC、信号VRFY1と電圧VSが10V、電圧VBLHが8V、電圧VBLMが1Vとなる。“1”書き込みの場合は、クロック同期式インバータC13, C14で構成されるフリップ・フロップに、クロック同期式インバータC13の出力が“H”になるようにデータがラッチされているため、ビット線BLには1Vが印加される。“2”書き込みの場合はビット線は0V、“0”書き込みの場合は8Vとなる。この後、選択された制御ゲートCG4が20Vとされる。

【0033】“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートCG4の電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線BLを1Vにして制御ゲートCG4との電位差を19Vに緩和している。但し、この電位差の緩和は少なくとも実施可能である。“0”書き込み時は、ビット線電圧8Vによってメモリセルのしきい値は実効的には変わらない。

【0034】書き込み動作の終了時は、まず選択ゲートSG1、制御ゲートCG1~CG8を0Vとし、“0”書き込み時のビット線BLの電圧8Vは遅れて0Vにリセットされる。この順序が反転すると一時的に“2”又は“1”書き込み動作の状態ができて、“0”書き込み時に間違ったデータを書いてしまうからである。

【0035】書き込み動作後に、メモリセルの書き込み

14

状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリファイ読み出しが行われる。ペリファイ読み出し中は、電圧VBLHはVcc、VBLは0V、FIMは0Vである。

【0036】ペリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲートCG4の電圧と、信号VRFY1, VRFY2, FIMが出力されることである（ペリファイ読み出し第1サイクルではVRFY1のみ）。信号VRFY1, VRFY2, FIMは、選択ゲートSG1, SG2、制御ゲートCG1~CG8が0Vにリセットされた後で信号SEN1, SEN1B, LAT1, LAT1Bがそれぞれ“L”, “H”, “L”, “H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータC11, C12で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートCG4の電圧は、読み出し時の1.5V（第1サイクル）、0V（第2サイクル）に対応して、2V（第1サイクル）、0.5V（第2サイクル）と、0.5Vのしきい値マージンを確保するために高くしてある。

【0037】ここでは、クロック同期式インバータC11, C12で構成されるフリップ・フロップにラッチされているデータ（data1）、クロック同期式インバータC13, C14で構成されるフリップ・フロップにラッチされているデータ（data2）と選択されたメモリセルのしきい値によって決まるビット線BLの電圧を説明する。data1は“0”書き込みか、“1”又は“2”書き込みかを制御し、“0”書き込みの場合はQn3は“ON”状態、“1”又は“2”書き込みの場合はQn6が“ON”状態である。data2は“1”書き込みか、“2”書き込みかを制御し、“1”書き込みの場合はQn10は“ON”状態、“2”書き込みの場合はQn11が“ON”状態である。

【0038】“0”データ書き込み時（初期書き込みデータが“0”）のペリファイ読み出し第1サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる。その後信号VRFY1が“H”となることでビット線BLは“H”となる。

【0039】“1”データ書き込み時（初期書き込みデータが“1”）のペリファイ読み出し第1サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は1.5V以下で、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる。その後信号VRFY1が“H”となることで、既に“1”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”（図6の(1)）、さもなくばビット線BLは“L”（図6の(2)）

15

)となる。

【0040】“2”データ書き込み時（初期書き込みデータが“2”）のペリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となっていない（“2”書き込み不十分）場合、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる（図6の(5)）。選択メモリセルが“2”書き込み十分になっている場合、制御ゲートCG4が2Vになってもビット線電位は“H”のままである（図6の(3)(4)）。図6の(3)は既に“2”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0041】“0”データ書き込み時（初期書き込みデータが“0”）のペリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる。その後、信号VRFY1が“H”となることでビット線BLは“H”となる。

【0042】“1”データ書き込み時（初期書き込みデータが“1”）のペリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となっていない（“1”書き込み不十分）場合、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる（図6の(8)）。選択メモリセルが“1”書き込み十分になっている場合、制御ゲートCG4が0.5Vになってもビット線電位は“H”のままである（図6の(6)(7)）。図6の(6)は既に“1”書き込み十分でdata1が“0”書き込みを示している場合である。この場合信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0043】“2”データ書き込み時（初期書き込みデータが“2”）のペリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が0.5V以上であれば“2”書き込み十分でも不十分でも、制御ゲートCG4が0.5Vになってもビット線電位は“H”のままである（図6の(9)(10)）。“2”書き込み不十分でメモリセルのしきい値が0.5V以下の場合、ビット線は“L”になる（図6の(11)）。

【0044】その後、信号VRFY1、VRFY2、FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”（図6の(9)）、さもなくばビット線BL

(9)

特開平7-93979

16

は“L”（図6の(10)(11)）となる。このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の（表1）のように設定される。

【0045】

【表1】

|          |   |   |   |   |   |   |   |   |
|----------|---|---|---|---|---|---|---|---|
| 書き込みデータ  | 0 | 0 | 0 | 1 | 1 | 2 | 2 | 2 |
| セルのデータ   | 0 | 1 | 2 | 0 | 1 | 0 | 1 | 2 |
| 再書き込みデータ | 0 | 0 | 0 | 1 | 0 | 2 | 2 | 0 |

（表1）から分かるように、“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn13が“OFF”となり、信号PENDBによってデータ書き込み終了情報が出力される。

【0046】図7はデータの入出力動作タイミングを示しており、(a)はデータ入力タイミング、(b)はデータ出力タイミングである。外部からのデータ入力3サイクルの後、入出力データ変換回路5によって、ビット線制御回路2に入力するデータが発生され入力される。外部からの3ビット分のデータ（X1、X2、X3）は、2つのメモリセルのデータ（Y1、Y2）に変換され、実効的にはビット線制御回路2のクロック同期式インバータCI1、CI2で構成されるレジスタR1とCI3、CI4で構成されるレジスタR2に、データ入出力線IOA、IOBを介して変換データが設定される。レジスタR1、R2にラッチされている読み出しデータは、データ入出力線IOA、IOBを介して入出力データ変換回路5に転送され変換されて出力される。図3に見られるカラム選択信号CSL1iとCSL2iを同一信号にして、そのかわりIOA、IOBを2系統に分けて同一カラムの2つのレジスタを同時にアクセスすることも容易に可能で、アクセス時間を短くするためには効果的である。

【0047】下記の（表2）はデータ入力時の、外部からの3ビット分のデータ（X1、X2、X3）、メモリセルの2つのデータ（Y1、Y2）とY1、Y2それぞれに対応するレジスタR1、R2のデータの関係を示している。

【0048】

【表2】

(10)

特開平7-93979

17

18

| 入力データ          |                |                | セルデータ          |                | IOA線データ          |        |                  |        |
|----------------|----------------|----------------|----------------|----------------|------------------|--------|------------------|--------|
|                |                |                |                |                | セルY <sub>1</sub> |        | セルY <sub>2</sub> |        |
| X <sub>1</sub> | X <sub>2</sub> | X <sub>3</sub> | Y <sub>1</sub> | Y <sub>2</sub> | レジスタR1           | レジスタR2 | レジスタR1           | レジスタR2 |
| 0              | 0              | 0              | 0              | 0              | H                | —      | H                | —      |
| 0              | 0              | 1              | 0              | 2              | H                | —      | L                | L      |
| 0              | 1              | 0              | 0              | 1              | H                | —      | L                | H      |
| 0              | 1              | 1              | 1              | 2              | L                | H      | L                | L      |
| 1              | 0              | 0              | 1              | 0              | L                | H      | H                | —      |
| 1              | 0              | 1              | 1              | 1              | L                | H      | L                | H      |
| 1              | 1              | 0              | 2              | 0              | L                | L      | H                | —      |
| 1              | 1              | 1              | 2              | 1              | L                | L      | L                | H      |
| データ書き込み命令      |                |                | 2              | 2              | L                | L      | L                | L      |

【0049】レジスタのデータはデータ転送時の入出力線 IOA の電圧レベルで表現してある。データ入出力線 IOB は IOA の反転信号であるため省略してある。下\*

\*記の(表3)は、データ出力時のそれである。

【0050】

【表3】

| IOA線データ          |        |                  |        | セルデータ          |                | 出力データ          |                |                |
|------------------|--------|------------------|--------|----------------|----------------|----------------|----------------|----------------|
| セルY <sub>1</sub> |        | セルY <sub>2</sub> |        |                |                |                |                |                |
| レジスタR1           | レジスタR2 | レジスタR1           | レジスタR2 | Y <sub>1</sub> | Y <sub>2</sub> | X <sub>1</sub> | X <sub>2</sub> | X <sub>3</sub> |
| L                | L      | L                | L      | 0              | 0              | 0              | 0              | 0              |
| L                | L      | H                | H      | 0              | 2              | 0              | 0              | 1              |
| L                | L      | H                | L      | 0              | 1              | 0              | 1              | 0              |
| H                | L      | H                | H      | 1              | 2              | 0              | 1              | 1              |
| H                | L      | L                | L      | 1              | 0              | 1              | 0              | 0              |
| H                | L      | H                | L      | 1              | 1              | 1              | 0              | 1              |
| H                | H      | L                | L      | 2              | 0              | 1              | 1              | 0              |
| H                | H      | H                | L      | 2              | 1              | 1              | 1              | 1              |
| H                | H      | H                | H      | 2              | 2              | *インテラダ 出力      |                |                |

この実施例では同じデータに対して、入力時の IOA のレベルと出力時の IOA のレベルが反転するようになっている。

【0051】メモリセルの2つデータ(Y<sub>1</sub>, Y<sub>2</sub>)の9つの組み合わせのうち1つは余るため、これを例えばポインタ情報などファイル管理情報に利用することは可能である。ここではポインタ情報をセルデータ(Y<sub>1</sub>, Y<sub>2</sub>) = (2, 2)に対応させている。

【0052】図8は、EEPROMをコントロールするマイクロプロセッサなどから見たときの、データ書き込みの単位であるページの概念を示している。ここでは1ページをNバイトとしていて、マイクロプロセッサなどから見たときのアドレス(論理アドレス)を表示している。例えば、領域1(論理アドレス0~n)だけしか書き込みデータが入力されないとき、n = 3m + 2 (m = 0, 1, 2, ...)であれば常に(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)が揃うので問題ない。n = 3mの場合はX<sub>1</sub>しか入力され

ないので、EEPROM内部でX<sub>2</sub> = 0, X<sub>3</sub> = 0を発生して(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)を入出力データ変換回路5に入力する。n = 3m + 1の場合はX<sub>3</sub> = 0を内部で発生する。このnがNと等しいときも同様である。

【0053】領域1にデータ書き込みを行った(領域2の書き込みデータは全て“0”)後、追加的に領域2にデータ書き込みを行う場合、領域1の部分を読み出してそのデータに領域2の部分の書き込みデータを追加して入力すればよい。或いは、領域1の部分を読み出して、領域2の先頭アドレスn + 1 = 3mの場合は領域1のデータを全て“0”、n + 1 = 3m + 2の場合アドレスn - 1, nのデータをX<sub>1</sub>, X<sub>2</sub>としてアドレスn + 1のデータX<sub>3</sub>に追加し領域1のアドレスn - 2までのデータを全て“0”、n + 1 = 3m + 1の場合アドレスnのデータをX<sub>1</sub>としてアドレスn + 1, n + 2のデータX<sub>2</sub>, X<sub>3</sub>に追加し領域1のアドレスn - 1までのデータを全て“0”、としてもよい。これらの動作は、EEP

(11)

特開平7-93979

19

20

ROM内部で自動的に行うことも容易である。この追加データ書き込みが可能となるよう、(表2)及び(表3)に示してあるように(X1, X2, X3)と(Y1, Y2)の関係は組まれている。(表2)及び(表3)に示してある(X1, X2, X3)と(Y1, Y2)の関係は1つの例であってこれに限るものではない。また、領域は3以上でも同様に追加データ書き込みは行える。

【0054】図9(a)は、データ書き込みアルゴリズムを示している。データロード後、書き込み、ペリファイ読み出しと書き込み終了検出動作が繰り返される。点線の中はEEPROM内で自動的に行われる。

【0055】図9(b)は、追加データ書き込みアルゴリズムを示している。読み出しとデータロード後、ペリファイ読み出し、書き込み終了検出と書き込み動作が繰

り返し行われる。点線の中はEEPROM内で自動的に行われる。データロード後にペリファイ読み出しが行われるのは、既に“1”或いは“2”が書き込まれているところに書き込みが行われないようにするためである。そうしないと過剰書き込みされる場合が生じる。

【0056】図10は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。下記の(表4)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0057】

【表4】

|       | 消 去 | 書 き 込 み |     |     | 読 み 出 し         |                 | ペリファイ 読 み 出 し |        |
|-------|-----|---------|-----|-----|-----------------|-----------------|---------------|--------|
|       |     | '0'     | '1' | '2' | 第1サイクル          | 第2サイクル          | 第1サイクル        | 第2サイクル |
| BL    | 20V | 8V      | 1V  | 0V  | "2"読出し<br>時の"H" | "0"読出し<br>時の"L" | 図6参照          |        |
| SG1   | 20V | 10V     |     |     | 5V              |                 | 5V            |        |
| CG1   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG2   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG3   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG4   | 0V  | 20V     |     |     | 1.5V            | 0V              | 2V            | 0.5V   |
| CG5   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG6   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG7   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| CG8   | 0V  | 10V     |     |     | 5V              |                 | 5V            |        |
| SG2   | 20V | 0V      |     |     | 5V              |                 | 5V            |        |
| Vs    | 20V | 0V      |     |     | 0V              |                 | 0V            |        |
| Pwell | 20V | 0V      |     |     | 0V              |                 | 0V            |        |

【0058】図11は、本発明の第2の実施例におけるNORセル型EEPROMの、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM10のみで、NOR型セルを構成する。NOR型セルの一端はビット線BLに接続され、他端は共通接地線と接続される。1本の制御ゲートWLを共有するメモリセルMはページを構成する。メモリセルMはそのしきい値V<sub>t</sub>でデータを記憶し、V<sub>t</sub>がV<sub>cc</sub>以上である場合“0”データ、V<sub>t</sub>がV<sub>cc</sub>以下2.5V以上の場合“1”データ、V<sub>t</sub>が2.5V以下0V以上の場合“2”データとして記憶する。1つのメモリセルで3つ

の状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。

【0059】クロック同期式インバータC15、C16とC17、C18でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータC15、C16で構成されるフリップ・フロップは、“0”書き込みをするか、“1”又は

(12)

特開平7-93979

21

“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“0”の情報を保持しているか、“1”又は“2”の情報を保持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータC17、C18で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが“2”の情報を保持しているか、“0”又は“1”の情報を保持しているか」、を読み出しデータ情報としてラッチする。

【0060】nチャネルMOSトランジスタの内、Qn18は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn19は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn20～Qn23、Qn25～Qn28は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH、VBLM、0Vを選択的にビット線に転送する。Qn24、Q29はそれぞれ信号SAC2、SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn30は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn31、Qn32とQn33、Qn34はそれぞれカラム選択信号CSL1、CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA、IOBを選択的に接続する。

【0061】次に、このように構成されたEEPROMの動作を図12～14に従って説明する。図12は読み出し動作のタイミング、図13は書き込み動作のタイミング、図14はベリファイ読み出し動作のタイミングを示している。

【0062】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、制御ゲートWLは2.5Vにされる。選択されたメモリセルのVtが2.5V以下の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“L”レベルになる。

【0063】この後、センス活性化信号SEN2、SEN2Bがそれぞれ“L”、“H”、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“L”、“H”となって、クロック同期式インバータC17、C18で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータC17、C18で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2、SEN2Bがそれぞれ“H”、“L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“H”、“L”となり、クロック同期式インバータC17、C18で構成されるフリップ・フロップに、

22

“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0064】読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートWLの電圧が2.5VでなくVccであること、信号SEN2、SEN2B、LAT2、LAT2B、SAC2の代わりに信号SEN1、SEN1B、LAT1、LAT1B、SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータC15、C16で構成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0065】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値VtはVcc以上となっている。消去は、制御ゲートWLを20Vとしビット線を0Vにして行われる。

【0066】書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。信号VRFY1、VRFY2、FIM、FILがVccとなる。“2”書き込みの場合は、クロック同期式インバータC15、C16で構成されるフリップ・フロップに、クロック同期式インバータC15の出力が“H”になるようにデータがラッチされているため、ビット線は0Vである。“1”又は“2”書き込みの場合は、ビット線はVccに充電される。

【0067】続いて、信号BLC、VRFY2、FIM、FILと電圧VSAが10V、電圧VBLHが8V、電圧VBLMが7Vとなる。“1”書き込みの場合は、クロック同期式インバータC17、C18で構成されるフリップ・フロップに、クロック同期式インバータC17の出力が“H”になるようにデータがラッチされているため、ビット線BLには7Vが印加される。“2”書き込みの場合はビット線は8V、“0”書き込みの場合は0Vとなる。この後、選択された制御ゲートWLが-12Vとされる。

【0068】“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートWLの電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は下降する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BLを7Vにして制御ゲートWLとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

【0069】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出し中は、電圧VBLHはVcc、FIMは0Vである。

(13)

特開平7-93979

23

【0070】ベリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲートWLの電圧と、信号VRFY1, VRFY2, FIHが出力されることである（ベリファイ読み出し第1サイクルではVRFY1のみ）。信号VRFY1, VRFY2, FIHは、制御ゲートWLが0Vにリセットされた後で信号SEN1, SEN1B, LAT1, LAT1Bがそれぞれ“L”, “H”, “L”, “H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータC15, C16で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートWLの電圧は、読み出し時の2.5V（第1サイクル）、Vcc（第2サイクル）に対応して、2V（第1サイクル）、4V（第2サイクル）と、しきい値マージンを確保するために低くしてある。

【0071】ここでは、クロック同期式インバータC15, C16で構成されるフリップ・フロップにラッチされているデータ（data1）、クロック同期式インバータC17, C18で構成されるフリップ・フロップにラッチされているデータ（data2）と選択されたメモリセルのしきい値によって決まるビット線BLの電圧を説明する。data1は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合はQn20は“ON”状態、“1”又は“2”書き込みの場合はQn23が“ON”状態である。data2は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合はQn26は“ON”状態、“2”書き込みの場合はQn27が“ON”状態である。

【0072】“0”データ書き込み時（初期書き込みデータが“0”）のベリファイ読み出し第1サイクルでは、メモリセルのデータが“0”であるから、制御ゲートWLが2Vになってもビット線電位は“H”のままである。その後信号VRFY1が“H”となることでビット線BLは“L”となる。

【0073】“1”データ書き込み時（初期書き込みデータが“1”）のベリファイ読み出し第1サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は2.5V以上で、制御ゲートWLが2Vになってもビット線電位は“H”のままである。その後信号VRFY1が“H”となることで、既に“1”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“L”（図14の(2)）、さもなくばビット線BLは“H”（図14の(1)）となる。

【0074】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となっていない（“2”書き込み不十分）場合、制御ゲートWLが2V

24

になってもビット線電位は“H”である（図14の(3)）。選択メモリセルが“2”書き込み十分になっている場合、制御ゲートWLが2Vになるとビット線電位はメモリセルによって“L”となる（図14の(4)(5)）。図14の(5)は既に“2”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、ビット線BLは接地される。

【0075】“0”データ書き込み時（初期書き込みデータが“0”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が4Vになってもビット線電位は“H”である。その後、信号VRFY1が“H”となることでビット線BLは“L”となる。

【0076】“1”データ書き込み時（初期書き込みデータが“1”）のベリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となっていない（“1”書き込み不十分）場合、制御ゲートWLが4Vになってもビット線電位は“H”である（図14の(6)）。選択メモリセルが“1”書き込み十分になっている場合、制御ゲートWLが4Vになるとメモリセルによりビット線電位は“L”となる（図14の(7)(8)）。図14の(8)は既に“1”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、ビット線BLは接地される。

【0077】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が4V以下であれば“2”書き込み十分でも不十分でも、制御ゲートWLが4Vになるとビット線電位は“L”となる（図14の(10)(11)）。“2”書き込み不十分でメモリセルのしきい値が4V以上の場合、ビット線は“H”になる（図14の(9)）。

【0078】その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“L”（図14の(11)）、さもなくばビット線BLは“H”（図14の(9)(10)）となる。

【0079】このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、第1の実施例と同様に表1のように設定される。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn30が“OFF”となり、信号PENDBによってデータ書き込み終了情報が出力される。

【0080】データの入出力動作タイミング、データ書き込みアルゴリズム、追加データ書き込みアルゴリズムなどは、図7～9、（表2～3）に見られるように第1の実施例と同様である。

(14)

特開平7-93979

25

【0081】図15は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御され\*

26

\*る。下記の(表5)は、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示している。

【0082】

【表5】

|    | 消 去 | 書 き 込 み |     |     | 読 み 出 し         |                 | ペリファイ 読み出し |        |
|----|-----|---------|-----|-----|-----------------|-----------------|------------|--------|
|    |     | '0'     | '1' | '2' | 第1サイクル          | 第2サイクル          | 第1サイクル     | 第2サイクル |
| BL | 0V  | 0V      | 7V  | 8V  | "2"読出し<br>時の"L" | "0"読出し<br>時の"H" | 図14参照      |        |
| WL | 20V | -12V    |     |     | 2.5V            | 5V              |            |        |

【0083】図3、11に示した回路は、例えばそれぞれ図16、17のように変形できる。図16は、図3に見られるQn3、Qn4をpチャネルのMOSトランジスタQp1、Qp2に置き換えてある。図17は、図11に見られるQn22、Qn23、Qn25～Qn28をpチャネルのMOSトランジスタQp3～Qp8に置き換えてある。このようにすることで、nチャネルMOSトランジスタのしきい値による転送できる電圧の降下を防ぐことができ、この例では、電圧VSAを書き込み時に8Vまで上げればよく回路を構成するトランジスタの耐圧を下げるができる。図16のVRFY1Bは図2、3のVRFY1の反転信号、図17のVRFY2B、FILB、FIMBは図11のVRFY2、FIL、FIMのそれぞれ反転信号である。

【0084】図8で、追加データ書き込みについて説明したが、例えば図18のように追加データ書き込みを容易にするため、1ページを分割しておくことも1つの有効な方法である。この例では論理アドレス32番地毎にメモリセル22個で1つの領域を構成する。これによって領域単位での追加データ書き込みは容易となる。つまり領域2に追加データ書き込みをする場合、領域2以外の領域の書き込みデータを全て“0”として、図9(a)に見られるデータ書き込みアルゴリズムに従って行えばよい。1つの領域のサイズは図18に示している以外の大きさでもかまわない。また、1つのメモリセルに4つ以上の書き込み状態を設定する場合も、本発明の主旨に従えば可能である。

【0085】

【発明の効果】以上説明したように本発明によれば、回路面積の増大を抑制しながら、しかも1つのメモリセルに3つの書き込み状態を設定し、なおかつそれぞれのメモリセルのそれぞれの書き込み状態にするまでの書き込み時間を、書き込みペリファイ制御を行うことによって独立に最適化し、最終的に書き込まれたメモリセルのしきい値分布を高速に小さい範囲に収めることを可能としたEEPROMを得ることができる。

【図面の簡単な説明】

【図1】第1及び第2の実施例に係わるEEPROMの概略構成を示すブロック図。

【図2】第1の実施例におけるメモリセルアレイの具体的構成を示す図。

【図3】第1の実施例におけるビット線制御回路の具体的構成を示す図。

20 【図4】第1の実施例における読み出し動作を示すタイミング図。

【図5】第1の実施例における書き込み動作を示すタイミング図。

【図6】第1の実施例におけるペリファイ読み出し動作を示すタイミング図。

【図7】第1及び第2の実施例におけるデータの入出力動作を示すタイミング図。

【図8】第1及び第2の実施例における書き込み/読み出し単位のページ概念を示す図。

30 【図9】第1、第2の実施例におけるデータ書き込み及び追加データ書き込みアルゴリズムを示す図。

【図10】第1の実施例におけるメモリセルの書き込み特性を示す図。

【図11】第2の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図12】第2の実施例における読み出し動作を示すタイミング図。

【図13】第2の実施例における書き込み動作を示すタイミング図。

40 【図14】第2の実施例におけるペリファイ読み出し動作を示すタイミング図。

【図15】第2の実施例におけるメモリセルの書き込み特性を示す図。

【図16】第1の実施例におけるビット線制御回路の変形例を示す図。

【図17】第2の実施例におけるビット線制御回路の変形例を示す図。

【図18】第1及び第2の実施例における追加データ書き込みの単位を示す図。

50 【図19】図3におけるインバータ部分の回路図。



(15)

特開平7-93979

27

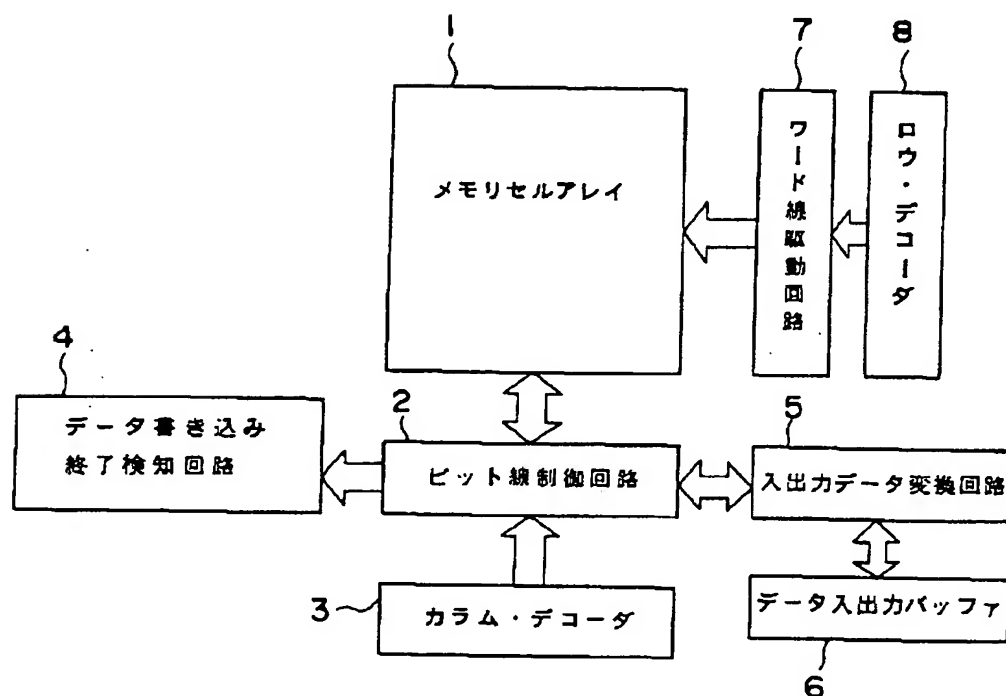
28

## 【符号の説明】

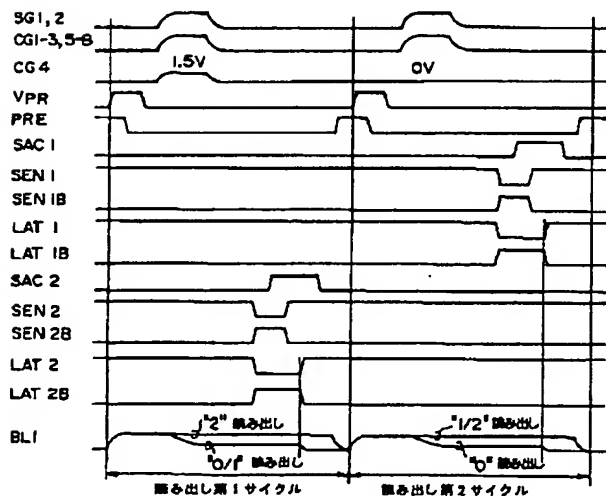
- 1…メモリセルアレイ  
2…ビット線制御回路  
3…カラム・デコーダ  
4…データ書き込み終了検知回路

- 5…入出力データ変換回路  
6…データ入出力バッファ  
7…ワード線駆動回路  
8…ロウ・デコーダ

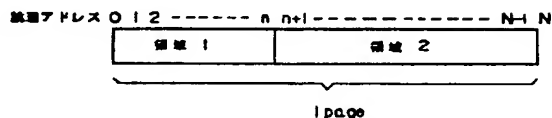
【図1】



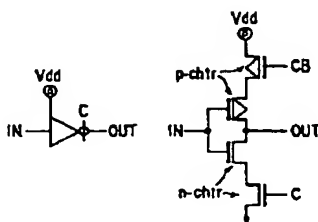
【図4】



【図8】



【図19】

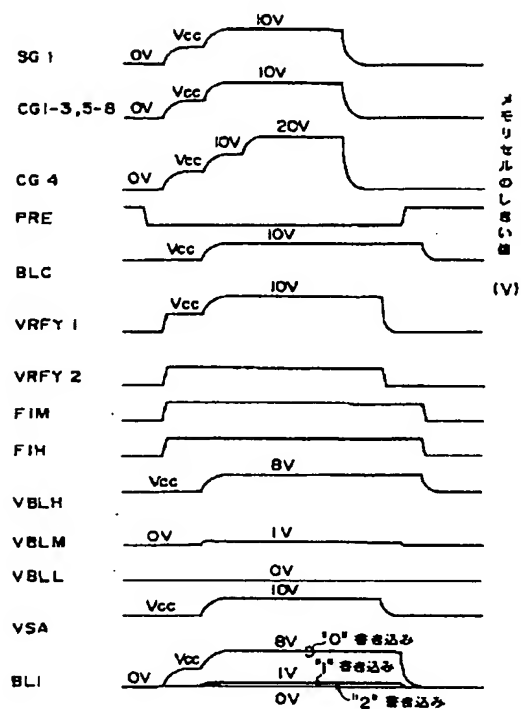




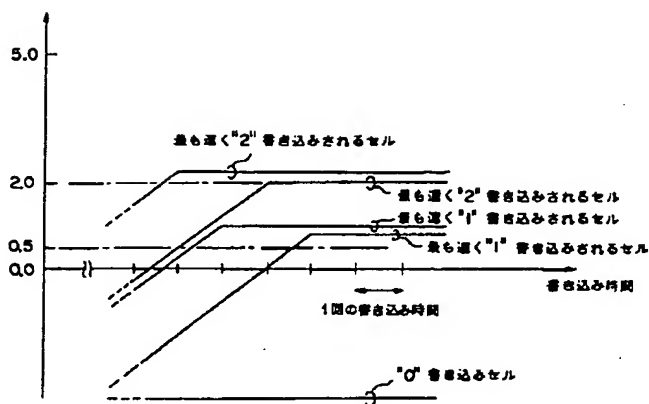
(17)

特開平7-93979

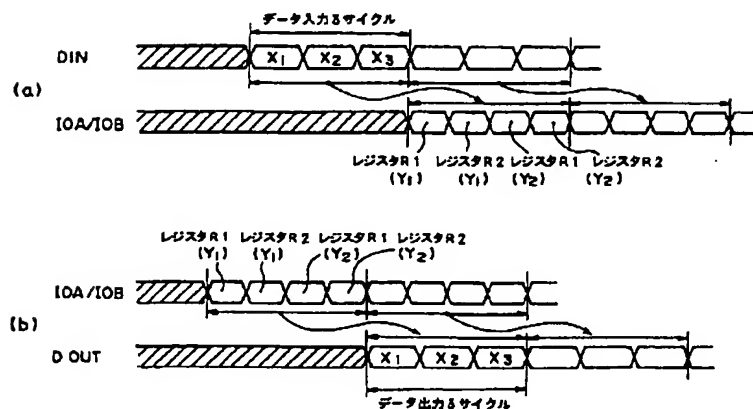
【図5】



【図10】



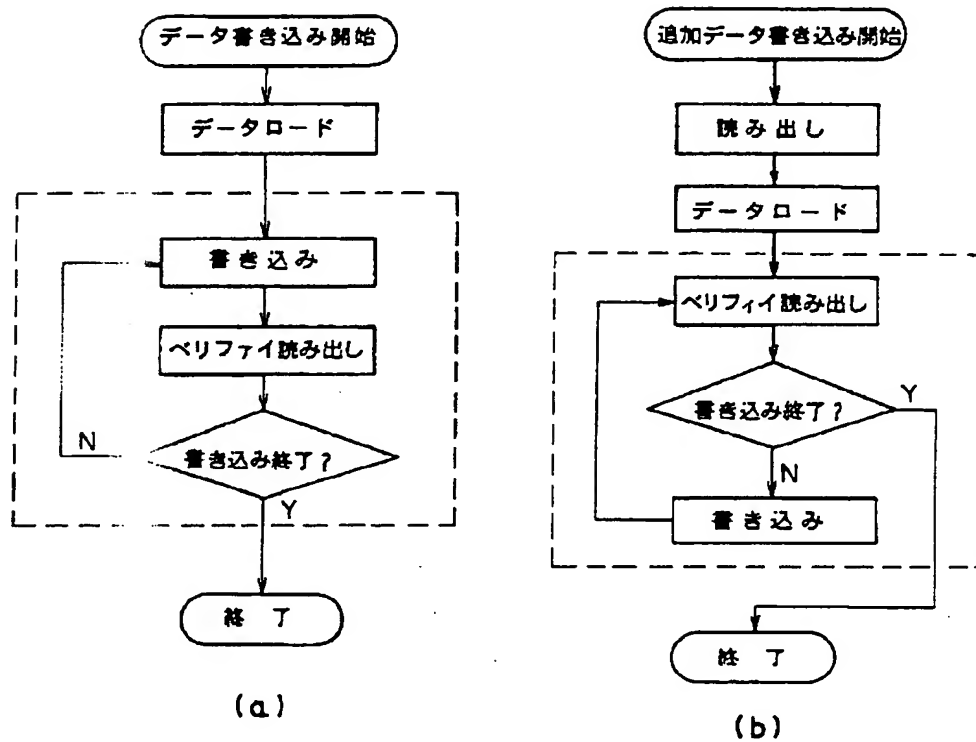
【図7】



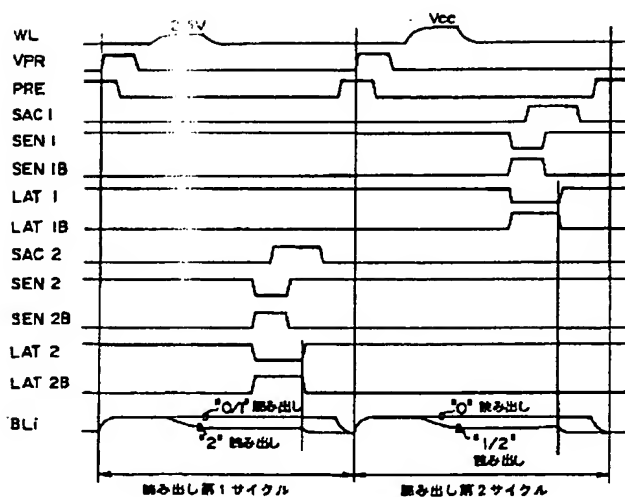
(18)

特開平7-93979

【図9】

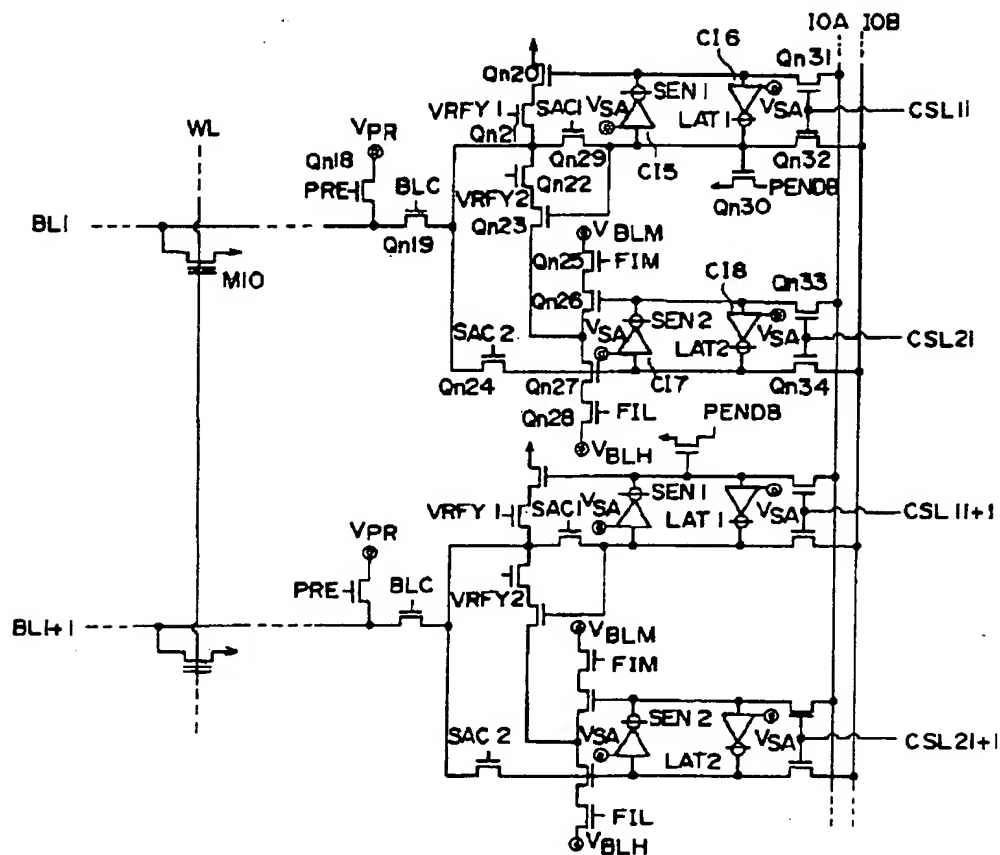


【図12】

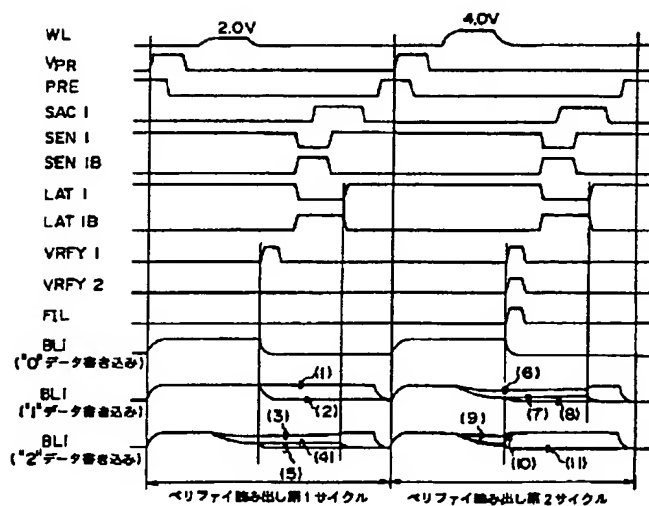


特開平7-93979

【图 1 1】



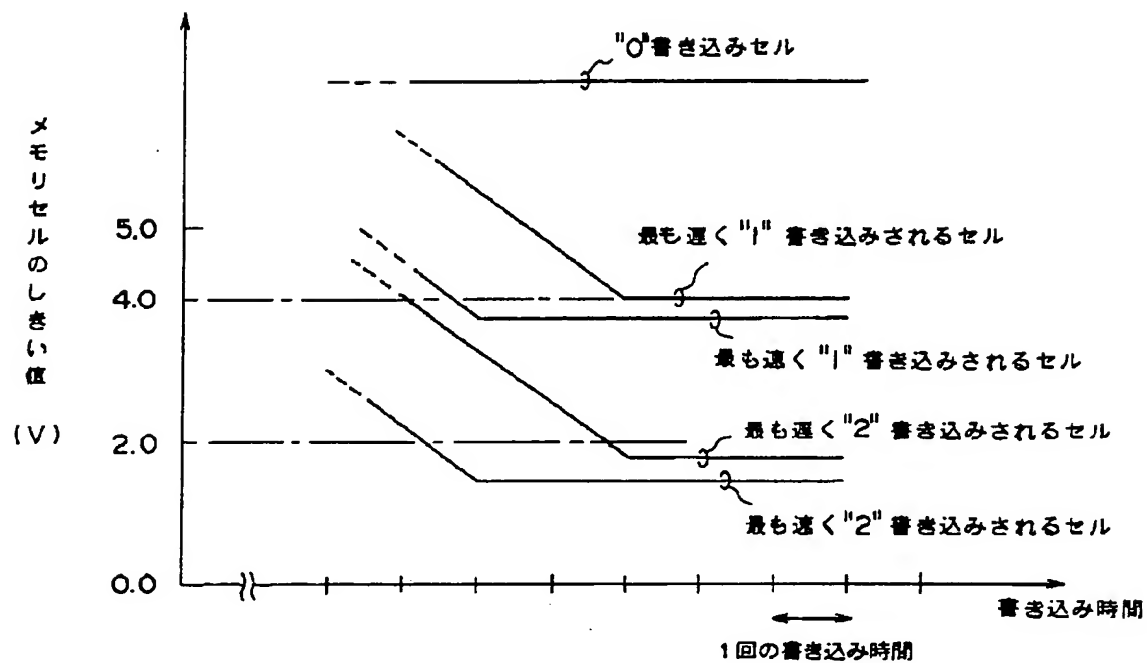
【图 1-4】



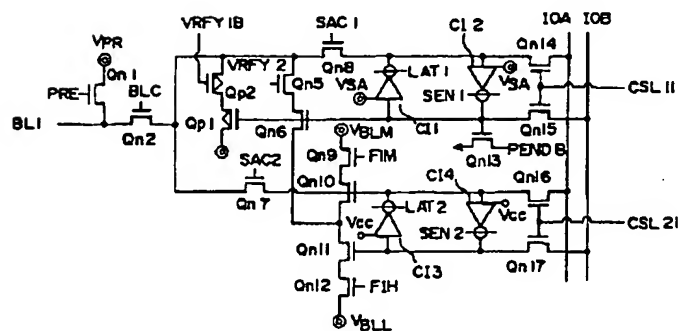
(20)

特開平7-93979

【図15】



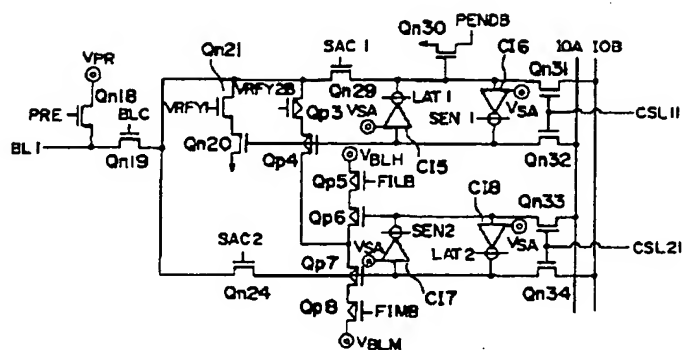
【図16】



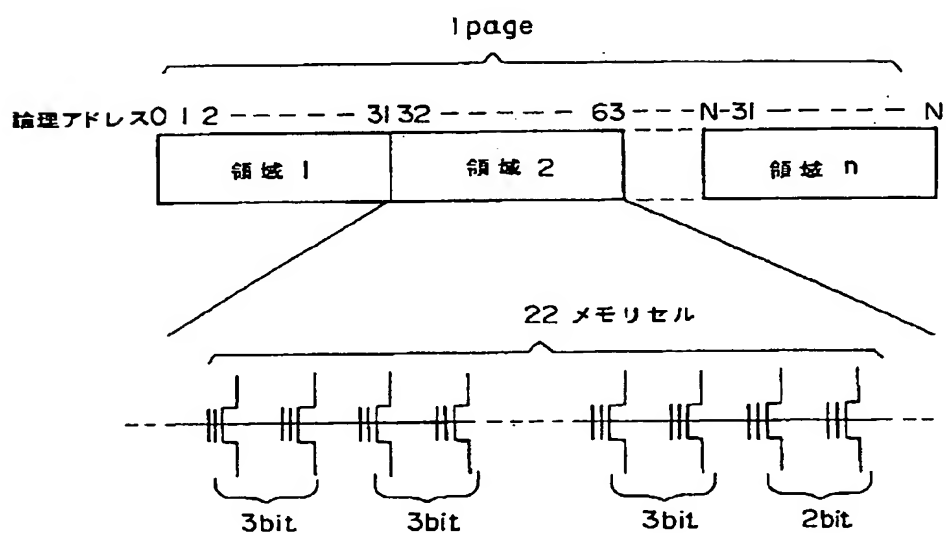
(21)

特開平7-93979

【図17】



【図18】





(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Hei-7-93979

(43) Date of Publication of Application: April 7, 1995

(51) Int. Cl.<sup>6</sup> Identification Number:

G 11 C 16/04

16/06

FI

G 11 C 17/00 308

510 A

Request for Examination: not made

Number of Claims: 7 (21 pages in total)

(21) Application Number Hei-5-234767

(22) Application Date: September 21, 1993

(71) Applicant: 000003078

Toshiba Corp.

72, Horikawa-cho, Saiwai-ku, Kawasaki-shi,  
Kanagawa-ken

(72) Inventor: TANAKA Tomoharu

c/o Toshiba Corp.,

Corporate Research and Development Center

1, Komukai-Toshiba-cho, Saiwai-ku,

Kawasaki-shi, Kanagawa-ken

(74) Agent: Patent Attorney, SUZUE Takehiko

(54) [Title of the Invention] NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57) [Abstract]

[Problem] To provide an EEPROM, which may store ternary information, and attain high-speed write verification operation without causing any erroneous verification.

[Means for Resolution] This EEPROM has a memory cell array 1 in which electrically rewritable memory cells are arranged in a matrix, and one memory cell is given three storage states. The EEPROM includes: a plurality of data circuits for temporarily storing the data for controlling the write operation state of a plurality of memory cells; a write circuit for performing write operation according to the contents of the data circuits respectively corresponding to the memory cells; write verification circuit for verifying the state of the memory cell after the write operation; and a data updating circuit for updating the contents of the data circuit to rewrite only to the memory cell insufficient of writing according to the contents of the data circuit and the state of the memory cell after the write operation, wherein the writing based on the contents of the data circuit, the write verification operation and the updating of the contents of the data circuit are repeated until the plurality of memory cells enters a predetermined write state.

[Claims]

[Claim 1] A nonvolatile semiconductor storage device, comprising: a memory cell array where electrically rewritable memory cells to which three or more storage states are given are arranged in a matrix; a plurality of data circuits for temporarily storing the data for controlling the write operation state of a plurality of memory cells in the memory cell array; a write means for performing write operation to the plurality of memory cells according to the contents of the respective corresponding data circuits; write verification means for verifying the state of the plurality of memory cells after the write operation; and means for updating the contents of the data circuits to rewrite only to the memory cell insufficient of writing according to the contents of the data circuit and the state of the memory cell after the write operation, wherein the write operation based on the contents of the data circuit, the write verification operation and the updating of the contents of the data circuit are repeated until the plurality of memory cells enter a predetermined write state to thereby electrically write data.

[Claim 2] A nonvolatile semiconductor storage device, having a memory cell array where electrically rewritable memory cells are arranged in a matrix, one memory cell is put in three or more storage states to have arbitrary data "i" ( $i = 0, 1$  to  $n-1$ ;  $n \geq 3$ ) and store the multivalued data, and the storage

state corresponding to the data "0" is the erase state, comprising:

a plurality of data circuits having both a function of sensing data as a sense amplifier and a function of storing the sensed information as data for controlling the write operation state of a plurality of memory cells in the memory cell array ;

write means for performing write operation according to the contents of the data circuits respectively corresponding to the plurality of memory cells;

i-th ( $i = 1, 2, \text{ to } n-1$ ) write verification means for verifying whether or not the state of the plurality of memory cells after the write operation enters the data "1" storage state;

i-th ( $i = 1, 2, \text{ to } n-1$ ) data circuit contents batch updating means for batch updating the contents of the data circuit concerning the data circuit corresponding to the memory cell, which is to be data "i", to rewrite only to the memory cell insufficient of writing according to the contents of the data circuit and the state of the memory cell after the write operation; and

data circuit contents updating means for verifying the storage state using the i-th write verification means and batch updating using the i-th data circuit contents batch updating means concerning the data "1" to the data "n-1" ( $n-1$ ) times

to thereby update the contents concerning all of the data circuits, wherein

the i-th data circuit contents batch updating means corrects the potential of the bit line to which the state of the memory cell after the write operation is output according to the contents of the data circuit so that in the potential of the bit line to which the state of the memory cell after the write operation is output by the i-th write verification means, the potential of the bit line corresponding to the memory cell, which is to enter the data "i" state ( $i \geq 1$ ), is sensed/stored as rewrite data, and the potential of the bit line corresponding to the memory cell, which is to enter the state except the data "i" is sensed/stored to hold the contents of the data circuit, holds the data storage state of the data circuit until the potential of the bit line is corrected, and operates the data circuit as a sense amplifier while the corrected potential of the bit line is kept to batch update the contents of the data circuit corresponding to the memory cell, which is to enter the data "i" state, and

the write operation based on the contents of the data circuit and the updating of the contents of the data circuit are repeatedly performed until the plurality of memory cells enter a predetermined write state to thereby electrically write data.

[Claim 3] The nonvolatile semiconductor storage device

according to claim 2, wherein

the data circuit controls the write operation state of the memory cell according to the data stored in the data circuit during the write operation and controls whether the state of the memory cell is changed to enter a predetermined write state, or the state of the memory cell is held in the state before the write operation,

the i-th data circuit contents batch updating means, concerning the data circuit corresponding to the memory cell, which is to enter the data "i" write state, changes the data of the data circuit to the data for controlling to hold the state of the memory cell in the state before the write operation in the case where the memory cell corresponding to the data circuit storing the data for controlling the memory cell to change to enter the data "1" write state reaches the data "i" write state, sets the data for controlling to change the state of the memory cell to enter the data "i" write state in the data circuit in the case where the memory cell corresponding to the data circuit storing the data for controlling the memory cell to change to enter the data "1" write state does not reach the data "i" write state, and sets the data for controlling to hold the state of the memory cell in the state before the write operation in the case where the data for controlling to hold the state of the memory cell in the state before the write operation is stored in the data circuit, and also

the  $i$ -th data circuit contents batch updating means makes no alteration concerning the data circuit corresponding to the memory cell, which is to enter the write state except the data " $i$ ".

[Claim 4] The nonvolatile semiconductor storage device according to claim 3, wherein the memory cell is constructed by stacking a charge storage layer and a control gate on a semiconductor layer, and adapted to multivalued-store arbitrary data " $i$ " ( $i = 0, 1, \text{ to } n-1; n \geq 3$ ) in the three or more valued storage states at the size of a threshold value, and

a predetermined  $i$ -th verification potential is applied to the control gate by the  $i$ -th write verification means to verify whether or not the threshold value of the memory cell, which is to enter the data " $i$ " state, is a desired threshold value.

[Claim 5] The nonvolatile semiconductor storage device according to claim 4, wherein the storage state corresponding to data " $0$ " is the erase state, the threshold corresponding to the data " $n-1$ " state has the largest difference from the threshold corresponding to the data " $0$ ", the thresholds corresponding to the data " $1$ ", " $2$ ", through " $i$ ", to " $n-2$ " states are the values ranging from the threshold corresponding to the data " $0$ " state to the threshold corresponding to the data " $n-1$ " state, and the thresholds corresponding to the data " $1$ ", " $2$ ", through " $i$ ", to " $n-2$ " states in the order of increasing the



threshold corresponding to the data "0" state, the nonvolatile semiconductor storage device includes:

a first bit line potential setting circuit for setting only the potential of the bit line corresponding to the data circuit, the contents of which is the data controlling to hold the state of the memory cell in the state before the write operation in the potential of the bit line to which the state of the memory cell after the writing is output by the  $i$ -th write verification means to a first correction bit line potential to become the data controlling to hold the state of the memory cell in the state before the write operation when it is sensed by the data circuit; and

a  $j$ -th bit line potential setting circuit for setting only the potential of the bit line corresponding to the data circuit, the contents of which is the data controlling to change the state of the memory cell to the data " $j$ " write state among the bit lines corresponding to the memory cells, which are to enter the data " $j$ " ( $i+1 \leq j$ ) state, in the potential of the bit line to which the state of the memory cell after the writing is output by the  $i$ -th ( $1 \leq i \leq n-2$ ) write verification means to a second correction bit line potential to become the data controlling to change the state of the memory cell to the data " $j$ " write state when it is sensed by the data circuit, and

in order to update the contents of the data circuits, the potential of the bit line to which the state of the memory

cell after write operation is output by the  $i$ -th write verification is corrected to the contents of the data circuits by the first,  $(i+1)$ -th,  $(i+2)$ -th, through  $(n-1)$ -th bit line potential setting circuits.

[Claim 6] The nonvolatile semiconductor storage device according to claim 5, wherein the data circuit is formed of a first data storage part storing whether or not the state of the memory cell is controlled to hold in the state before the write operation as information, and a second data storage part storing the information showing the write state " $i$ " ( $i = 1, 2, \text{ to } n-1$ ) to be stored by the memory cell in the case where the information of the first data storage part is the information that the state of the memory cell is not controlled to hold in the state before the write operation, and

the first data storage part has a function of sensing/storing the potential of the bit line to which the state of the memory cell after the write operation is output by the  $i$ -th write verification, which is corrected by the first,  $(i+1)$ -th,  $(i+2)$ -th, to  $(n-1)$ -th bit line potential setting circuits according to the contents of the data circuit in order to update the contents of the data circuit.

[Claim 7] The nonvolatile semiconductor storage device according to claim 6, wherein the nonvolatile semiconductor storage device includes:

a write protection bit line voltage output circuit for

outputting the write protection bit line voltage to the bit line in the write operation in the case where the information of the first data storage part is the information that the state of the memory cell is controlled to hold in the state before the write operation; and

an i-th write bit line voltage output circuit for outputting the bit line voltage in the i-th writing according to the information showing the write state "i" ( $i = 1, 2, \text{ to } n-1$ ) to be stored by the memory cell in the second data storage part in the case where the information of the first data storage part is the information that the state of the memory cell is not controlled to hold in the state before the write operation.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

This invention relates to an electrically rewritable nonvolatile semiconductor storage device (EEPROM) and particularly to the multivalued storage EEPROM in which the information of one or more bits is stored in one memory cell.

[0002]

[Prior Art]

NAND type EEPROM enabling high integration is known as one of the EEPROMs. In this EEPROM, two or more memory cells are connected in series with the sources and drains thereof shaped between the adjacent ones to form one unit, which is

connected to a bit line. Generally the memory cell has an FETMOS structure in which a charge storage layer and a control gate are stacked. The memory cell array is integrated in a p-type well formed in a p-type substrate or an n-type substrate. The drain side of the NAND cell is connected to the bit line through a select gate, and the source side is also connected to a common source line through a select gate. The control gates of the memory cell are continuously disposed in the row direction to form a word line.

[0003]

The operation of this NAND cell type EEPROM is as follows. Data is written in the memory cells in order from the memory cell positioned most away from the bit line first. High voltage  $V_{pp}$  (about 20V) is applied to the control gate of the selected memory cell to thereby apply intermediate voltage  $V_{ppm}$  (about 100V) to the control gate and the select gate of the memory cell on the bit line side, and apply 0V or intermediate voltage  $V_m$  (about 8V) to the bit line according to the data. When 0V is applied to the bit line, the potential is transferred to the drain of the selected memory cell, thereby causing injection of the electrons into the charge storage layer. Thus, the threshold of the selected memory cell is shifted in the positive direction. This state is taken as "1", for example. When  $V_m$  is applied to the bit line, injection of electrons is not caused effectively, so that the threshold will not change

and stop negative. This state is the erase state, which is taken as "0". Data is simultaneously written to the memory cell sharing the control gate.

[0004]

Data is erased to all of the memory cells in the NAND cell at the same time. That is, all of the control gates are set to 0V, and the p-type well is set to 20V. At the time, the select gate, the bit line and the source line are also set to 20V. Thus, the electrons of the charge storage layer are emitted to the p-type well in all of the memory cells so that the threshold is shifted in the negative direction.

[0005]

Data is read by setting the control gate of the selected memory cell at 0V, the control gates and the select gates of the other memory cells at the power supply potential  $V_{cc}$  (e.g. 5V) and detecting whether or not a current flows through the selected memory cell.

[0006]

Because of the constraint on the read operation, the threshold after "1" is written should be controlled to range from 0V to  $V_{cc}$ . Therefore, rewrite data is set so that the write verification is performed to detect only the memory cell insufficient of writing "1", and rewriting is performed only to the memory cell insufficient of writing "1" (verification bit by bit. The memory cell insufficient of writing "1" is

detected by setting the selected control gate to 0.5V, for example, (verification voltage) to read.

[0007]

That is, when the threshold of the memory cell has a margin to 0V so that it does not exceed 0.5V, a current flows through the selected memory cell, which is detected to be insufficient of writing "1". Since naturally a current flow through the memory cell to be put in the "0" write state, a circuit called a verification circuit for compensating for a current flowing through the memory cell is provided so that this memory cell is not mistaken to be insufficient of writing "1". By the verification circuit, write verification can be executed at high speed.

[0008]

Data is written by repeating the write operation and the write verification, thereby optimizing the write time for the individual memory cells so that the threshold after writing "1" is controlled to range from 0V to Vcc.

[0009]

In order to implement multivalued storage in this NAND cell type EEPROM, it is considered that the state after writing is set to three states, "0", "1" and "2". In the "0" write state, the threshold is negative, in the "1" write state, the threshold ranges from 0V to  $1/2V_{cc}$ , and in the "2" write state, the threshold ranges from  $1/2V_{cc}$  to Vcc. In the conventional

verification circuit, the memory cell to be put in the "0" write state can be prevented from being mistaken for the memory cell insufficient of writing "1" or "2".

[0010]

The conventional verification circuit, however, has the disadvantage that since it is not for multivalued storage, in the case where the memory cell to be put in the "2" write state is insufficient of writing so that the threshold thereof is from the verification voltage for detecting whether or not it is insufficient of writing "1" to  $1/2V_{cc}$ , both inclusive, at the time of detecting whether or not it is insufficient of writing "1", no current flows through the memory cell, which is mistaken for the write insufficient one.

[0011]

In order to prevent mistaking for write insufficiency and perform multivalued write verification, it will be sufficient that verification write is performed by rewriting to the memory cell to be put in the "2" write state, which has entered the "1" write sufficient state, and detecting whether or not it is insufficient of writing "2". In this case, however, since the memory cell to be put in the "2" write state is also put in the "2" write state after writing "1", it takes much time to write so that the write speed is low.

[0012]

[Problems that the Invention is to Solve]



As described above, the conventional EEPROM has the problem that when multivalued information is stored in the conventional NAND cell type EEPROM and verification is performed bit by bit in the conventional verification circuit, erroneous verification is caused.

[0013]

The invention has been made in the light of the above circumstances and it is an object of the invention to provide an EEPROM, which may store multivalued information and accelerate the write verification operation without causing any erroneous verification.

[0014]

[Means for Solving the Problems]

The invention adopts the following constitution in order to solve the above problems. That is, the invention (claim 1) is characterized in that a nonvolatile semiconductor storage device capable of storing multivalued data includes: a memory cell array where electrically rewritable memory cells to which three or more storage states are given are arranged in a matrix; a plurality of write data circuits for temporarily storing the data for controlling the write operation state of a plurality of memory cells; a write means for simultaneously performing write operation to the plurality of memory cells in the memory cell array according to the contents of the respective corresponding data circuits; write verification means for

simultaneously verifying the state of the plurality of memory cells after the write operation; and means for updating the contents of the write data circuits to rewrite only to the memory cell insufficient of writing according to the contents of the write data circuit and the state of the memory cell after the write operation, and the write operation based on the contents of the write data circuit, the write verification and the updating of the contents of the data circuit are repeated until the memory cells enter a predetermined write state.

[0015]

Further, the invention (claim 2) is characterized in that a nonvolatile semiconductor storage device having a memory cell array in which electrically rewritable memory cells are arranged in a matrix, one memory cell is put in three or more storage states to have arbitrary data "i" ( $i = 0, 1$  to  $n-1$ ;  $n \geq 3$ ) and store the multivalued data, and the storage state corresponding to the data "0" is the erase state, includes: a plurality of data circuits having both a function as a sense amplifier and a function of storing the sensed information as data for controlling the write operation state of the memory cells; write means for simultaneously performing write operation to the plurality of memory cells in the memory cell array according to the contents of the respective corresponding data circuits; i-th write verification means for simultaneously verifying whether or not the state of the

plurality of memory cells after the write operation enters the data "1" storage state ( $i = 1, 2, \text{through } n-1$ );  $i$ -th data circuit contents batch updating means ( $i = 1 \text{ through } n-1$ ) for batch updating the contents of the data circuit concerning the data circuit corresponding to the memory cell, which is to be data "i", to rewrite only to the memory cell insufficient of writing according to the contents of the data circuit and the state of the memory cell after the write operation; and data circuit contents updating means for verifying the storage state using the  $i$ -th write verification means and batch updating using the  $i$ -th data circuit contents batch updating means concerning the data "1" to the data "n-1" ( $n-1$ ) times to thereby update the contents concerning all of the plurality of data circuits, wherein the  $i$ -th data circuit contents batch updating means corrects the potential of the bit line to which the state of the memory cell after the write operation is output according to the contents of the data circuit so that in the potential of the bit line to which the state of the memory cell after the write operation is output by the  $i$ -th write verification means, the potential of the bit line corresponding to the memory cell, which is to enter the data "i" state ( $i \geq 1$ ), is sensed/stored as rewrite data, and the potential of the bit line corresponding to the memory cell, which is to enter the state except the data "i" is sensed/stored to hold the contents of the data circuit, holds the data storage state of the data

circuit until the potential of the bit line is corrected, and operates the data circuit as a sense amplifier while the corrected potential of the bit line is kept to batch update the contents of the data circuit corresponding to the memory cell, which is to enter the data "i" state, and the write operation based on the contents of the data circuit and the updating of the contents of the data circuit are repeatedly performed until the memory cells enter a predetermined write state to thereby electrically write data.

[0016]

The following are cited as preferable modes for carrying out the invention.

- (1) A data circuit controls the write operation state of the memory cell according to the data stored in the data circuit during the write operation and controls whether the state of the memory cell is changed to enter a predetermined write state, or the state of the memory cell is held in the state before the write operation.
- (2) The i-th data circuit contents batch updating means, concerning the data circuit corresponding to the memory cell, which is to enter the data "i" write state, changes the data of the data circuit to the data for controlling to hold the state of the memory cell in the state before the write operation in the case where the memory cell corresponding to the data circuit storing the data for controlling the memory cell to

change to enter the data "1" write state reaches the data "i" write state, sets the data for controlling to change the state of the memory cell to enter the data "i" write state in the data circuit in the case where the memory cell corresponding to the data circuit storing the data for controlling the memory cell to change to enter the data "1" write state does not reach the data "i" write state, and sets the data for controlling to hold the state of the memory cell in the state before the write operation in the case where the data for controlling to hold the state of the memory cell in the state before the write operation is stored in the data circuit, and also the i-th data circuit contents batch updating means makes no alteration concerning the data circuit corresponding to the memory cell, which is to enter the write state except the data "i".

(3) A memory cell is constructed by stacking a charge storage layer and a control gate on a semiconductor layer, the memory cell is adapted to multivalued-store arbitrary data "i" ( $i = 0, 1, \text{ to } n-1; n \geq 3$ ) in the three or more valued storage states at the size of a threshold value, and a predetermined i-th verification potential is applied to the control gate by the i-th write verification means to verify whether or not the threshold value of the memory cell, which is to enter the data "i" state, is a desired threshold value.

(4) The storage state corresponding to data "0" is the erase state, the threshold corresponding to the data "n-1" state has

the largest difference from the threshold corresponding to the data "0", the thresholds corresponding to the data "1", "2", through "i", to "n-2" states are the values ranging from the threshold corresponding to the data "0" state to the threshold corresponding to the data "n-1" state, and the thresholds corresponding to the data "1", "2", through "i", to "n-2" states in the order of increasing the threshold corresponding to the data "0" state, the nonvolatile semiconductor storage device includes: a first bit line potential setting circuit for setting only the potential of the bit line corresponding to the data circuit, the contents of which is the data controlling to hold the state of the memory cell in the state before the write operation in the potential of the bit line to which the state of the memory cell after the writing is output by the i-th write verification means to a first correction bit line potential to become the data controlling to hold the state of the memory cell in the state before the write operation when it is sensed by the data circuit; and a j-th bit line potential setting circuit for setting only the potential of the bit line corresponding to the data circuit, the contents of which is the data controlling to change the state of the memory cell to the data "j" write state among the bit lines corresponding to the memory cells, which are to enter the data "j" ( $i+1 \leq j$ ) state, in the potential of the bit line to which the state of the memory cell after the writing is output by the i-th ( $1 \leq i \leq n-2$ )

write verification means to a second correction bit line potential to become the data controlling to change the state of the memory cell to the data "j" write state when it is sensed by the data circuit, and in order to update the contents of the data circuits, the potential of the bit line to which the state of the memory cell after write operation is output by the i-th write verification is corrected to the contents of the data circuits by the first, (i+1)-th, (i+2)-th, through (n-1)-th bit line potential setting circuits.

(5) A data circuit is formed of a first data storage part storing whether or not the state of the memory cell is controlled to hold in the state before the write operation as information, and a second data storage part storing the information showing the write state "i" ( $i = 1, 2, \text{ to } n-1$ ) to be stored by the memory cell in the case where the information of the first data storage part is the information that the state of the memory cell is not controlled to hold in the state before the write operation, and the first data storage part has a function of sensing/storing the potential of the bit line to which the state of the memory cell after the write operation is output by the i-th write verification, which is corrected by the first, (i+1)-th, (i+2)-th, to (n-1)-th bit line potential setting circuits according to the contents of the data circuit in order to update the contents of the data circuit.

(6) A nonvolatile semiconductor storage device includes: a

write protection bit line voltage output circuit for outputting the write protection bit line voltage to the bit line in the write operation in the case where the information of the first data storage part is the information that the state of the memory cell is controlled to hold in the state before the write operation; and an  $i$ -th write bit line voltage output circuit for outputting the bit line voltage in the  $i$ -th writing according to the information showing the write state " $i$ " ( $i = 1, 2, \text{ to } n-1$ ) to be stored by the memory cell in the second data storage part in the case where the information of the first data storage part is the information that the state of the memory cell is not controlled to hold in the state before the write operation.

(7) A first bit line potential setting circuit and a write protection bit line voltage output circuit are a common first bit line voltage control circuit, the input voltage of which is the voltage such that in writing, the output becomes write protection bit line voltage, and the voltage such that in updating the contents of the data circuit, the output becomes a first correction bit line potential, and a  $j$ -th ( $j = 2, 3, \text{ to } n-1$ ) bit line potential setting circuit and a  $j$ -th write bit line voltage output circuit are a common  $j$ -th bit line voltage control circuit, the input voltage of which is the voltage such that in writing, the output becomes the  $j$ -th write bit line voltage, and the voltage such that in updating the



contents of the data circuit, the output becomes a second correction bit line potential.

(8) A memory cell is formed by stacking a charge storage layer and a control gate on a semiconductor layer, and the memory cells are connected in series by two or more to form a NAND cell structure.

(9) A memory cell is formed by stacking a charge storage layer and a control gate on a semiconductor layer to form a NOR cell structure.

[0017]

[Operation]

The multivalued (n-valued) storage type EEPROM of the invention is adapted to perform verification read operation from the (n-1) basic operation cycles. When the erase state is taken as "0" and the multivalued levels are taken as "0", "1", through "i", to "n-1" in the order of increasing the threshold, in the i-th cycle, it is verified only whether or not "i" write is sufficient. Accordingly, the EEPROM includes: the verification potential generation circuit for applying verification voltage of a predetermined i-level at the i-th cycle; and the sense amplifier for detecting whether or not writing is sufficient by detecting the voltage of the bit line. The first verification circuit is provided so that when the bit line to which "0" through "i-1" are written at the i-th cycle is already detected to be sufficient of writing,

the current of the memory cell is compensated, and when it is detected to be insufficient of writing, the current of the memory cell is not compensated. The second verification circuit is provided so that when the bit line to which "i+1" through "n-1" are written at the i-th cycle is already detected to be sufficient of writing, the current of the memory cell is compensated by the first verification circuit, and when it is detected to be insufficient of writing, the bit line voltage is set to let the current of the memory cell flow.

[0018]

Further, the EEPROM of the invention includes: a first register storing the information on whether or not writing is sufficient as data; and a second register storing the information on which the write multivalued level is among "1" through "n-1", wherein the first register has a function as the sense amplifier as well to detect whether or not the first register is sufficient of writing. Further, the EEPROM is characterized by providing the bit line write voltage output circuit for outputting the bit line voltage in writing according to a desired write state so that when the memory cell not reaching the desired write state is found, rewriting is performed only to the memory cell.

[0019]

In the invention, after multivalued data is written, it is detected whether or not the write state of the individual

memory cells reaches its desired multivalued level state. When the memory cell not reaching the desired multivalued level is found, the bit line voltage in writing is output according to the desired write state to perform rewriting only to that memory cell. The write operation and the verification reading are repeated, and on verifying that all of the memory cells reach the desired write state, writing of data is ended.

[0020]

According to the invention, as described above, one write time is set short, and the write operation is repeated little by little while the progress of the write state is checked, whereby finally the threshold of the memory cell ending writing of data can be made smaller at high speed.

[0021]

[Embodiments]

The embodiments of the invention will now be described with reference to the drawings. Fig. 1 is a block diagram showing the schematic configuration of a NAND cell type EEPROM according to a first embodiment of the invention.

[0022]

A memory cell array 1 is provided with a bit line control circuit 2 for controlling a bit line in reading/writing, and a word line driving circuit 7 for controlling the potential of a word line. The bit line control circuit 2 and the word line driving circuit 7 are respectively selected by a column

decoder 3 and a low decoder 8. The bit line control circuit 2 exchange read data/write data with an input/output data conversion circuit 5 through a data input/output line (IO line). The input/output data conversion circuit 5 converts the read multivalued information of a memory cell to binary information to be output to the outside, and converts the binary information of write data input from the output to the multivalued information of the memory cell. The input/output data conversion circuit 5 is connected to a data input/output buffer 6 for controlling the data input/output to and from the outside. A data write end detection circuit 4 detects whether or not writing of data is ended.

[0023]

Figs. 2 and 3 show the concrete configurations of the memory cell array 1 and the bit line control circuit 2. Memory cells M1 to M8 and select transistors S1, S2 constitute a NAND form cell. One end of the NAND form cell is connected to a bit line BL, and the other end thereof is connected to a common source line Vs. Select gates SG1, SG2 and control gates CG1 to CG8 are shared among two or more NAND form cells, and the memory cells sharing one control gate constitute a page. The memory cell stores data at its threshold  $V_t$ , and stores it as "0" data when  $V_t$  is 0V or less, as "1" data when  $V_t$  is from 0V to 1.5V, both inclusive, and as "2" data when  $V_t$  is from 1.5V to the power supply voltage, both inclusive. One memory

cell is given three states, and two memory cells can make a combination in nine ways. Among these, eight ways of combinations are used to store the data for 3 bits in two memory cells. In the present embodiment, the data for 3 bits is stored in a set of the two adjacent memory cells sharing the control gate. The memory cell array 1 is formed on a dedicated p-well.

[0024]

Clock synchronization inverters CI1, CI2, and CI3, CI4 respectively constitute a flip-flop to latch write/read data. These operate as a sense amplifier as well. The flip-flop constructed by the clock synchronization inverters CI1, CI2 latches "'0" write? or "1" or "2" write?" as write data information, and the memory cell latches "'0" information is held? "1" or "2" information is held?" as read data information. The flip-flop constructed by the clock synchronization inverters CI3, CI4 "'1" write? "2" write?" as write data information, and the memory cell "'2" information is held? "0" or "1" information is held?" as read data information.

[0025]

In an n-channel MOS transistor, Qn1 transfers voltage VPR to a bit line when a pre-charge signal PRE goes high. Qn2 connects a bit line and a main bit line control circuit to each other when a bit line connection signal BLC goes high. Qn3 to Qn6, Qn9 to Qn12 selectively transfer voltage VBLH, VBLM, VBLL to a bit line according to the data latched by the above

flip-flops. The Qn7 and Qn8 respectively connect the flip-flop and a bit line to each other when the signals SAC2, SAC1 go high. Qn13 is provided for detecting whether or not the data for one page latched by the flip-flops are all the same. Qn14, Qn15 and Qn16, Qn17 selectively connect the corresponding flip-flops and the data input/output lines IOA, IOB to each other when the column select signals CSL1, CLL2 go high.

[0026]

In Fig. 3, an inverter part shown in Fig. 19(a) is omitted, and it has a circuit configuration shown in Fig. 19(b). The operation of the thus constructed EEPROM will now be described according to Figs. 4 to 6. Fig. 4 shows the timing of read operation, Fig. 5 shows the timing of write operation, and Fig. 6 shows the timing of verification read operation. All of the charts illustrate the case where the control gate C4 is selected.

[0027]

The read operation is performed in two basic cycles. In a first cycle of reading, first the voltage VPR becomes the power supply voltage Vcc so that the bit line is pre-charged, a pre-charge signal PRE goes low so that the bit line is floated. Subsequently, the select gates SG1, SG2 and the control gates CG1 to CG3, CG5 to CG8 are set to Vcc. Simultaneously, the control gate CG4 is set to 1.5V. Only when the Vt of the

selected memory cell is 1.5V or more, that is, only when the data "2" is written, the bit line is kept high.

[0028]

After that, the sense activation signals SEN2, SEN2B respectively go low and high, and the latch activation signals LAT2, LAT2B respectively go low and high, so that the flip-flop constructed by the clock synchronization inverters CI3 and CI4 is reset. The signal SAC2 goes high so that the flip-flop constructed by the clock synchronization type inverters CI3, CI4 and the bit line are connected to each other. First the sense activation signals SEN2, SEN2B respectively go high and low, and the potential of the bit line is sensed. After that, the latch activation signals LAT2, LAT2B respectively go high and low, so that the information "'2" data?, "1" or "0" data?" is latched by the flip-flop constructed by the clock synchronization inverters CI3, CI4.

[0029]

A second cycle of reading is different from the first cycle of reading in that the voltage of the selected control gate CG4 is not 1.5V, but 0V, and instead of the signals SEN2, SEN2B, LAT2, LAT2B and SAC2, the signals SEN1, SEN1B, LAT1, LAT1B, SAC1 are output. Accordingly, in the second cycle of reading, the information "'0" data? "1" or "2" data?" is latched by the flip-flop constructed by the clock synchronization inverters CI1, CI2.

[0030]

By the two described cycles of reading, the data written to the memory cell is read out. Prior to writing of data, the data of the memory cell is erased so that the threshold  $V_t$  of the memory cell is 0V or less. The data is erased by setting the p-well, the common source line  $V_s$ , and the select gates SG1, SG2 to 20V, and setting the control gates CG1 to CG8 to 0V.

[0031]

In the write operation, first the pre-charge signal PRE goes low so that the bit line is floated. The select gate SG1 is set to  $V_{cc}$ , and the control gates CG1 to CG8 are set to  $V_{cc}$ . The select gate SG2 is 0V in the process of write operation. Simultaneously the signals VRFY1, VREY2, FIM, FIH are  $V_{cc}$ . In the case of "0" writing, since the data is latched by the flip-flop constructed by the clock synchronization inverters CI1, CI2 so that the output of the clock synchronization inverter CI1 goes high, the bit line is charged with  $V_{cc}$ . In the case of "1" or "2" writing, the bit line is 0V.

[0032]

Subsequently, the select gate SG1, the control gates CG1 to CG8, the signal BLC, the signal VRFY1 and the voltage VSA are 10V, the voltage VBLH is 8V, and the voltage VBLM is 1V. In the case of "1" writing, since the data is latched by the flip-flop constructed by the clock synchronization inverters



CI3, CI4 so that the output of the clock synchronization inverter CI3 goes high, 1V is applied to the bit line BL. In the case of "2" writing, the bit line is 0V, and in the case of "0" writing, it is 8V. After that, the selected control gate CG4 is set to 20V.

[0033]

In the case of "1" or "2" writing, electrons are injected into a charge storage layer of the memory cell by potential difference between the bit line BL and the control gate CG4, so that the threshold of the memory cell rises. In the case of "1" writing, it is necessary that the amount of electric charges to be injected into the charge storage layer of the memory cell is made smaller than that in the case of "2" writing, so the bit line BL is set to 1V to reduce the potential difference from the control gate CG4 to 19V. However, even if this reduction of potential difference is not caused, the invention can be implemented. In the case of "0" writing, the bit line voltage is 8V so that the threshold of the memory cell is not changed effectively.

[0034]

At the end of write operation, first the select gate SG1 and the control gates CG1 to CG8 are set to 0V, and the voltage 8V of the bit line BL in "0" writing is reset to 0V late. The reason for this is that when the order is reversed, temporarily the state of "2" or "1" write operation is caused so that in

"0" writing, wrong data is written.

[0035]

Verification read is performed so that after the write operation, the write state of the memory cell is verified to perform additional writing only to the memory cell insufficient of writing. During the verification reading, the voltage VBLH is Vcc, VBL is 0V, and FIM is 0V.

[0036]

The verification reading is performed in two basic cycles. This basic cycle is similar to the second cycle of reading. The difference is that the voltage of the selected control gate CG4 and the signals VRFY1, VRFY2 and FIH are output (only VRFY1 in the first cycle of verification reading). The signals VRFY1, VRFY2 and FIH are output after the select gates SG1, SG2, and the control gates CG1 to CG8 are reset to 0V, and before the signals SEN1, SEN1B, LAT1, LAT1B respectively go low, high, low and high. In other words, they are output after the potential of the bit line is determined by the threshold of the memory cell, and before the flip-flop constructed by the clock synchronization inverters CI1, CI2 is reset. The voltage of the selected control gate CG4 is set high as much as 2V(the first cycle), 0.5V (the second cycle) corresponding to 1.5V (the first cycle) and 0V(the second cycle) in reading to secure a threshold margin of 0.5V.

[0037]

The voltage of the bit line BL determined by the data (data 1) latched in the flip-flop constructed by the clock synchronization inverter CI1, CI2, data (data 2) latched in the flip-flop constructed by the clock synchronization inverters CI3, CI4 and the threshold of the selected memory cell will now be described. The data 1 controls "'0" write? "1" or "2" write?", in the case of "0" writing, Qn3 is in the on state, and in the case of "1" or "2" writing, Qn6 is in the on state. The data 2 controls "1" write? "2" write?", and in the case of "1" write, Qn10 is in the on state, and in the case of "2" write, Qn11 is in the on state.

[0038]

Since the data of the memory cell is "0" in the first cycle of verification read in "0" data writing (initial writing data "0"), when the control gate CG4 becomes 2V, the potential of the bit line is set low by the memory cell. After that, the signal VRFY1 goes high so that the bit line BL goes high.

[0039]

In the first cycle of verification read in "1" data writing (initial write data is "1"), the data of the memory cell is to be "1", so the threshold of the memory cell is 1.5V or less, and when the control gate CG4 becomes 2V, the potential of the bit line is set low by the memory cell. After that, the signal VRFY1 goes high, so that in the case where the "1" write is sufficient and data 1 shows "0" write, the bit line

BL goes high ((1) in Fig. 6), or the bit line BL goes low ((2) in Fig. 6).

[0040]

In the first cycle of verification reading in "2" data write (initial write data is "2"), in the case where the data of the selected memory cell does not enter "2" ("2" write insufficient), when the control gate CG4 becomes 2V, the potential of the bit line is set low by the memory cell ((5) in Fig. 6). In the case where the selected memory cell is sufficient of "2" writing, even if the control gate CG4 becomes 2V, the potential of the bit line is kept high ((3), (4) in Fig. 6). (3) in Fig. 6 shows the case where "2" writing is sufficient and the data 1 shows "0" write. In this case, the signal VRFY1 goes high, so that the bit line BL is recharged by the voltage VBH.

[0041]

In the second cycle of verification reading in "0" data write (initial write data is "0"), since the data of the memory cell is "0", when the control gate CG4 becomes 0.5V, the potential of the bit line is set low by the memory cell. After that, the signal VRFY1 goes high so that the bit line BL goes high.

[0042]

In the second cycle of verification reading in "1" data write (initial write data is "1"), in the case where the data

of the select memory cell is not "1" ("1" write insufficient), when the control gate CG4 becomes 0.5V, the potential of the bit line is set low by the memory cell ((8) in Fig. 6). In the case where the selected memory cell is sufficient of "1" writing, even if the control gate CG4 becomes 0.5V, the potential of the bit line is kept high ((6)(7) in Fig. 6). (6) in Fig. 6 shows the case where "1" write is already sufficient and the data 1 shows "0" write. In this case, the signal VRFY1 goes high so that the bit line BL is recharged with the voltage VBH.

[0043]

In the second cycle of verification reading in "2" data write (initial write data is "2"), since the data of the memory cell is to be "2", when the threshold of the memory cell is 0.5V or more, whether "2" writing is sufficient or insufficient, even if the control gate CG4 becomes 0.5V, the potential of the bit line is kept high ((9), (10) in Fig. 6). In the case where "2" writing is insufficient and the threshold of the memory cell is 0.5V or less, the bit line goes low ((11) in Fig. 6).

[0044]

After that, the signals VRFY1, VRFY2, FIH go high, so that in the case where "2" writing is already sufficient and the data 1 shows "0" write, the bit line BL goes high ((9) in Fig. 6), or the bit line BL goes low ((10), (11) in Fig. 6).

By this verification read operation, the rewrite data is set as shown in the following table (Table 1) according to the write data and the write state of the memory cell by the verification read operation.

[0045]

[Table 1]

|              |   |   |   |   |   |   |   |   |
|--------------|---|---|---|---|---|---|---|---|
| Write data   | 0 | 0 | 0 | 1 | 1 | 2 | 2 | 2 |
| Data of cell | 0 | 1 | 2 | 0 | 1 | 0 | 1 | 2 |
| Rewrite data | 0 | 0 | 0 | 1 | 0 | 2 | 2 | 0 |

As is known from the table 1, "1" is again written only to the memory cell insufficient of "1" writing, and "2" is again written only to the memory cell insufficient of "2" writing. When writing of data is sufficient in all of the memory cells, Qn13 of all columns are turned off so that data write end information is output by a signal PENDB.

[0046]

Fig. 7 shows the input/output operation timing of data, (a) is the data input timing, and (b) is the data output timing. After the data input 3 cycle from the outside, data input to the bit line control circuit 2 is generated by the input/output data conversion circuit 5 and input. The data (X1, X2, X3) for 3 bits from the outside is converted to data (Y1, Y2) of two memory cells, and effectively the converted data is set in a register R1 constructed by the clock synchronization type

inverters CI1, CI2 of the bit line control circuit 2 and a register R2 constructed by the inverters CI3, CI4 through data input/output lines IOA, IOB. The read data latched in the registers R1, R2 is transferred, converted and output to the input/output data conversion circuit 5 through the data input/output lines IOA, IOB. The column select signals CSL1i and CSL2i seen in Fig. 3 are taken as the same signal, and instead of it, the IOA, IOB are divided into two systems, thereby easily gaining access to two registers of the same column at the same time to be effective for shortening the access time.

[0047]

The following table (Table 2) shows the relationship among the data (X1, X2, X3) for 3 bits from the outside, two data (Y1, Y2) of the memory cell and the data of the registers R1, R2 corresponding to Y1, Y2, respectively, in the data input time.

[0048]

[Table 2]

| Input data                |                |                | Cell data      |                | IOA line data       |             |                     |             |
|---------------------------|----------------|----------------|----------------|----------------|---------------------|-------------|---------------------|-------------|
|                           |                |                |                |                | Cell Y <sub>1</sub> |             | Cell Y <sub>2</sub> |             |
| X <sub>1</sub>            | X <sub>2</sub> | X <sub>3</sub> | Y <sub>1</sub> | Y <sub>2</sub> | Register R1         | Register R2 | Register R1         | Register R2 |
| 0                         | 0              | 0              | 0              | 0              | H                   | -           | H                   | -           |
| 0                         | 0              | 1              | 0              | 2              | H                   | -           | L                   | L           |
| 0                         | 1              | 0              | 0              | 1              | H                   | -           | L                   | H           |
| 0                         | 1              | 1              | 1              | 2              | L                   | H           | L                   | L           |
| 1                         | 0              | 0              | 1              | 0              | L                   | H           | H                   | -           |
| 1                         | 0              | 1              | 1              | 1              | L                   | H           | L                   | H           |
| 1                         | 1              | 0              | 2              | 0              | L                   | L           | H                   | -           |
| 1                         | 1              | 1              | 2              | 1              | L                   | L           | L                   | H           |
| Pointer write instruction |                |                | 2              | 2              | L                   | L           | L                   | L           |

[0049]

The data of the register is represented by voltage level of the input/output line IOA at the data transfer time. The data input/output line IOB is omitted because it is a reversing signal of IOA. The following table (Table 3) is that one at the data output time.

[0050]

[Table 3]

| IOA line data       |             |                     |             | Cell data      |                | Output data         |                |                |
|---------------------|-------------|---------------------|-------------|----------------|----------------|---------------------|----------------|----------------|
| Cell Y <sub>1</sub> |             | Cell Y <sub>2</sub> |             |                |                |                     |                |                |
| RegisterR1          | Register R2 | RegisterR1          | Register R2 | Y <sub>1</sub> | Y <sub>2</sub> | X <sub>1</sub>      | X <sub>2</sub> | X <sub>3</sub> |
| L                   | L           | L                   | L           | 0              | 0              | 0                   | 0              | 0              |
| L                   | L           | H                   | H           | 0              | 2              | 0                   | 0              | 1              |
| L                   | L           | H                   | L           | 0              | 1              | 0                   | 1              | 0              |
| H                   | L           | H                   | H           | 1              | 2              | 0                   | 1              | 1              |
| H                   | L           | L                   | L           | 1              | 0              | 1                   | 0              | 0              |
| H                   | L           | H                   | L           | 1              | 1              | 1                   | 0              | 1              |
| H                   | H           | L                   | L           | 2              | 0              | 1                   | 0              | 0              |
| H                   | H           | H                   | L           | 2              | 1              | 1                   | 1              | 1              |
| H                   | H           | H                   | H           | 2              | 2              | Pointer flag output |                |                |

In the present embodiment, the level of IOA at the input time and the level of IOA at the output time are reversed for the same data.

[0051]

Among nine combinations of two data (Y1, Y2) of the memory cell, one is surplus, so it can be used for pointer information and file management information. In this case, the pointer information is made correspond to the cell data (Y1, Y2) = (2, 2).

[0052]



Fig. 8 shows the concept of a page as a data write unit, seen from a microprocessor for controlling the EEPROM. In this case, one page is  $N$  byte, representing an address (a logical address), seen from the microprocessor. For example, when write data is input only to a region 1 (logical address 0 to  $n$ ), in the case of  $n=3m+2$  ( $m=0, 1, 2, \dots$ ),  $(X1, X2, X3)$  is always complete, so no problem occurs. Since only  $X1$  is input in the case of  $n=3m$ ,  $X2=0$  and  $X3=0$  are generated in the interior of the EEPROM to input  $(X1, X2, X3)$  to the input/output data conversion circuit 5. In the case of  $n=3m+1$ ,  $X3=$  is generated in the interior. The same may be said of the case where  $n$  is equal to  $N$ .

[0053]

After the data is written to the region 1 (the write data of a region 2 are all "0"), in the case of additionally writing data to the region 2, the part of the region 1 is read, and the write data in the part of the region 2 may be added to the read data and input. Or the part of the region 1 is read, and in the case of the head address  $n+1=3m$  of the region 2, the data of the region 1 are all "0". In the case of  $n+1=3m+2$ , the data at addresses  $n-1, n$  are taken as  $X1, X2$  to be added to the data  $X3$  at the address  $n+1$ , and the data up to the address  $n-2$  of the region 1 may be all "0". In the case of  $n+1=3m+1$ , the data at the address  $n$  is taken as  $X1$  to be added to the data  $X2, X3$  at the addresses  $n+1, n+2$ , and the data up to the

address n-1 of the region 1 may be all "0". It is easy to automatically these operations in the interior of the EEPROM. The relationship between (X1, X2, X3) and (Y1, Y2) is, as shown in Table 2 and Table 3, made so that the additional data write is enabled. The relationship between (X1, X2, X3) and (Y1, Y2) shown in Table 2 and Table 3 is an instance, so this is not restrictive. Further, when the number of regions is 3 or more, the additional data write can be similarly performed.

[0054]

Fig. 9(a) shows a data write algorithm. After data loading, write, verification read and write end detecting operations are repeatedly performed. The operations enclosed in a dotted line are automatically performed in the interior of the EEPROM.

[0055]

Fig. 9(b) shows an additional data write algorithm. After reading and data loading, verification read, write end detection and write operations are repeatedly performed. The operations enclosed in a dotted line are automatically performed in the interior of the EEPROM. The reason for performing verification read after data loading is that data is not written to the region where "1" or "2" is already written. If not, excess writing occurs in some case.

[0056]

Fig. 10 shows the write characteristics of threshold of

the memory cells in the thus constructed EEPROM. The memory cell to which "1" data is written and the memory cell to which "2" is written are simultaneously written and the write time thereof is controlled independently. The following table (Table 4) shows the potential of each part of the memory cell array at the time of erasing, writing, reading and verification reading.

[0057]

[Table 4]

|        | Erase | Write<br>"0" "1" "2" | Read                            |              | Verify read |              |
|--------|-------|----------------------|---------------------------------|--------------|-------------|--------------|
|        |       |                      | First cycle                     | Second cycle | First cycle | Second cycle |
| BL     | 20V   | 8V 1V 0V             | H only "2" read L only "0" read |              | SEE Fig. 6  |              |
| SG1    | 20V   | 10V                  |                                 | 5V           |             | 5V           |
| CG1    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG2    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG3    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG4    | 0V    | 20V                  | 1.5V                            | 0V           | 2V          | 0.5V         |
| CG5    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG6    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG7    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| CG8    | 0V    | 10V                  |                                 | 5V           |             | 5V           |
| SG2    | 20V   | 0V                   |                                 | 5V           |             | 5V           |
| Vs     | 20V   | 0V                   |                                 | 0V           |             | 0V           |
| P well | 20V   | 0V                   |                                 | 0V           |             | 0V           |

[0058]

Fig. 11 shows a concrete configuration of a memory cell array 1 and a bit line control circuit 2 of a NOR cell type EEPROM according to a second embodiment of the invention. The NOR type cell is constituted only by memory cells M10. One end of the NOR form cell is connected to a bit line BL, and the other end is connected to a common grounding line. The

memory cells M sharing one control gate WL constitute a page. The memory cell M stores data at its threshold  $V_t$ , and stores it as "0" data when  $V_t$  is  $V_{cc}$  or more, as "1" data when  $V_t$  is from 2.5V to  $V_{cc}$ , both inclusive, and as "2" data when  $V_t$  is from 0V to 2.5V, both inclusive. One memory cell is given three states, and two memory cells can make a combination in nine ways. Among these, eight ways of combinations are used to store the data for 3 bits in two memory cells. In the present embodiment, the data for 3 bits is stored in a set of the two adjacent memory cells sharing the control gate.

[0059]

Clock synchronization inverters CI5, CI6, and CI7, CI8 respectively constitute a flip-flop to latch write/read data. These operate as a sense amplifier as well. The flip-flop constructed by the clock synchronization inverters CI5, CI6 latches "'0" write? or "1" or "2" write?" as write data information, and the memory cell latches "'0" information is held? "1" or "2" information is held?" as read data information. The flip-flop constructed by the clock synchronization inverters CI7, CI8 "'1" write? "2" write?" as write data information, and the memory cell "'2" information is held? "0" or "1" information is held?" as read data information.

[0060]

In an n-channel MOS transistor, Qn18 transfers voltage VPR to a bit line when a pre-charge signal PRE goes high. Qn19

connects a bit line and a main bit line control circuit to each other when a bit line connection signal BLC goes high. Qn20 to Qn23, Qn25 to Qn28 selectively transfer voltage VBLH, VBLM, 0V to a bit line according to the data latched by the above flip-flops. The Qn24 and Qn29 respectively connect the flip-flop and a bit line to each other when the signals SAC2, SAC1 go high. Qn30 is provided for detecting whether or not the data for one page latched by the flip-flops are all the same. Qn31, Qn32 and Qn33, Qn34 selectively connect the corresponding flip-flops and the data input/output IOA, IOB lines to each other when the column select signals CSL1, CSL2 go high.

[0061]

The operation of the thus constructed EEPROM will now be described according to Figs. 12 to 14. Fig. 12 shows the timing of read operation, Fig. 13 shows the timing of write operation, and Fig. 14 shows the timing of verification read operation.

[0062]

The read operation is performed in two basic cycles. In a first cycle of reading, first the voltage VPR becomes the power supply voltage Vcc so that the bit line is pre-charged, a pre-charge signal PRE goes low so that the bit line is floated. Subsequently, the control gate WL is to 2.5V. Only when the Vt of the selected memory cell is 2.5V or less, that is, only

when the data "2" is written, the bit line is kept low.

[0063]

After that, the sense activation signals SEN2, SEN2B respectively go low and high, and the latch activation signals LAT2, LAT2B respectively go low and high, so that the flip-flop constructed by the clock synchronization inverters CI7 and CI8 is reset. The signal SAC2 goes high so that the flip-flop constructed by the clock synchronization type inverters CI7, CI8 and the bit line are connected to each other. First the sense activation signals SEN2, SEN2B respectively go high and low, and the potential of the bit line is sensed. After that, the latch activation signals LAT2, LAT2B respectively go high and low, so that the information "'2" data?, "1" or "0" data?" is latched by the flip-flop constructed by the clock synchronization inverters CI7, CI8.

[0064]

A second cycle of reading is different from the first cycle of reading in that the voltage of the selected control gate WL is not 2.5V, but Vcc, and instead of the signals SEN2, SEN2B, LAT2, LAT2B and SAC2, the signals SEN1, SEN1B, LAT1, LAT1B, SAC1 are output. Accordingly, in the second cycle of reading, the information "'0" data? "1" or "2" data?" is latched by the flip-flop constructed by the clock synchronization inverters CI5, CI6.

[0065]

By the two described cycles of reading, the data written to the memory cell is read out. Prior to writing of data, the data of the memory cell is erased so that the threshold  $V_t$  of the memory cell is  $V_{cc}$  or more. The data is erased by setting the control gate WL to 20V, and the bit line to 0V.

[0066]

In the write operation, first the pre-charge signal PRE goes low so that the bit line is floated. The signals VRFY1, VREY2, FIM, FIL are  $V_{cc}$ . In the case of "2" writing, since the data is latched by the flip-flop constructed by the clock synchronization inverters CI5, CI6 so that the output of the clock synchronization inverter CI5 goes high, the bit line is 0V. In the case of "1" or "2" writing, the bit line is charged with  $V_{cc}$ .

[0067]

Subsequently, the signals BLC, VRFY2, FIM, FIL and the voltage VSA are 10V, the voltage VBLH is 8V, and the voltage VBLM is 7V. In the case of "1" writing, since the data is latched by the flip-flop constructed by the clock synchronization inverters CI7, CI8 so that the output of the clock synchronization inverter CI7 goes high, 7V is applied to the bit line BL. In the case of "2" writing, the bit line is 8V, and in the case of "0" writing, it is 0V. After that, the selected control gate WL is set to -120V.

[0068]

In the case of "1" or "2" writing, electrons are emitted from a charge storage layer of the memory cell by potential difference between the bit line BL and the control gate WL, so that the threshold of the memory cell drops. In the case of "1" writing, it is necessary that the amount of electric charges to be emitted from the charge storage layer of the memory cell is made smaller than that in the case of "2" writing, so the bit line BL is set to 7V to reduce the potential difference from the control gate WL to 19V. In the case of "0" writing, the bit line voltage is 0V so that the threshold of the memory cell is not changed effectively.

[0069]

Verification read is performed so that after the write operation, the write state of the memory cell is verified to perform additional writing only to the memory cell insufficient of writing. During the verification reading, the voltage VBLH is Vcc, and FIM is 0V.

[0070]

The verification reading is performed in two basic cycles. This basic cycle is similar to the second cycle of reading. The difference is that the voltage of the selected control gate WL and the signals VRFY1, VRFY2 and FIH are output (only VRFY1 in the first cycle of verification reading). The signals VRFY1, VRFY2 and FIH are output after the control gate WL is reset to 0V, and before the signals SEN1, SEN1B, LAT1, LAT1B



respectively go low, high, low and high. In other words, they are output after the potential of the bit line is determined by the threshold of the memory cell, and before the flip-flop constructed by the clock synchronization inverters CI5, CI6 is reset. The voltage of the selected control gate WL is set low as much as 2V (the first cycle), 4V (the second cycle) corresponding to 2.5V (the first cycle) and Vcc (the second cycle) in reading to secure a threshold margin.

[0071]

The voltage of the bit line BL determined by the data (data 1) latched in the flip-flop constructed by the clock synchronization inverter CI5, CI6, data (data 2) latched in the flip-flop constructed by the clock synchronization inverters CI7, CI8 and the threshold of the selected memory cell will now be described. The data 1 controls "'0" write? "1" or "2" write?", in the case of "0" writing, Qn20 is in the on state, and in the case of "1" or "2" writing, Qn23 is in the on state. The data 2 controls "1" write? "2" write?", and in the case of "1" write, Qn26 is in the on state, and in the case of "2" write, Qn27 is in the on state.

[0072]

Since the data of the memory cell is "0" in the first cycle of verification read in "0" data writing (initial writing data "0"), even if the control gate WL becomes 2V, the potential of the bit line is kept high. After that, the signal

VERFY1 goes high so that the bit line BL goes low.

[0073]

In the first cycle of verification read in "1" data writing (initial write data is "1"), the data of the memory cell is to be "1", so the threshold of the memory cell is 2.5V or more, and even if the control gate WL becomes 2V, the potential of the bit line is kept high. After that, the signal VERFY1 goes high, so that in the case where the "1" write is sufficient and data 1 shows "0" write, the bit line BL goes low ((2) in Fig. 14), or the bit line BL goes high ((1) in Fig. 14).

[0074]

In the first cycle of verification reading in "2" data write (initial write data is "2"), in the case where the data of the selected memory cell does not enter "2" ("2" write insufficient), even if the control gate WL becomes 2V, the potential of the bit line is kept high ((3) in Fig. 14). In the case where the selected memory cell is sufficient of "2" writing, when the control gate WL becomes 2V, the potential of the bit line is set low by the memory cell ((4), (5) in Fig. 14). (5) in Fig. 14 shows the case where "2" writing is sufficient and the data 1 shows "0" write. In this case, the signal VERFY1 goes high, so that the bit line BL is grounded.

[0075]

In the second cycle of verification reading in "0" data

write (initial write data is "0"), since the data of the memory cell is "0", even if the control gate CG4 becomes 4V, the potential of the bit line is high by the memory cell. After that, the signal VRFY1 goes high so that the bit line BL goes low.

[0076]

In the second cycle of verification reading in "1" data write (initial write data is "1"), in the case where the data of the select memory cell is not "1" ("1" write insufficient), even if the control gate WL becomes 4V, the potential of the bit line is high ((6) in Fig. 14). In the case where the selected memory cell is sufficient of "1" writing, when the control gate WL becomes 4V, the potential of the bit line is set low by the memory cell ((7)(8) in Fig. 14). (8) in Fig. 14 shows the case where "1" write is already sufficient and the data 1 shows "0" write. In this case, the signal VRFY1 goes high so that the bit line BL is grounded.

[0077]

In the second cycle of verification reading in "2" data write (initial write data is "2"), since the data of the memory cell is to be "2", when the threshold of the memory cell is 4V or less, whether "2" writing is sufficient or insufficient, when the control gate WL becomes 4V, the potential of the bit line is low ((10), (11) in Fig. 14). In the case where "2" writing is insufficient and the threshold of the memory cell

is 4V or more, the bit line goes high ((9) in Fig. 14).

[0078]

After that, the signals VRFY1, VRFY2, FIH go high, so that in the case where "2" writing is already sufficient and the data 1 shows "0" write, the bit line BL goes low ((11) in Fig. 14), or the bit line BL goes high ((9), (10) in Fig. 14).

[0079]

By this verification read operation, the rewrite data is set as shown in the Table 1 similarly to the embodiment 1 according to the write data and the write state of the memory cell by the verification read operation. When writing of data is sufficient in all of the memory cells, Qn30 of all columns are turned off so that data write end information is output by a signal PENDB.

[0080]

The data input/output operation timing, the data write algorithm, and the additional data write algorithm are, as shown in Figs. 7 to 9, (Table 2 to 3), similar to those of the embodiment 1.

[0081]

Fig. 15 shows the write characteristics of threshold of the memory cells in the thus constructed EEPROM. The memory cell to which "1" data is written and the memory cell to which "2" is written are simultaneously written and the write time thereof is controlled independently. The following table

(Table 5) shows the potential of each part of the memory cell array at the time of erasing, writing, reading and verification reading.

[0082]

[Table 5]

|          | Erase     | Write<br>0" "1" "2" | Read                            |                               | Verify read              |              |
|----------|-----------|---------------------|---------------------------------|-------------------------------|--------------------------|--------------|
|          |           |                     | First cycle                     | Second cycle                  | First cycle              | Second cycle |
| BL<br>WL | 0V<br>20V | 0V 7V 8V<br>-12V    | L only when<br>"2" read<br>2.5V | H only when<br>"0" read<br>5V | See Fig. 14<br>2.0V 4.0V |              |

[0083]

The circuits shown in Figs. 3 and 11 may be respectively modified as shown in Figs. 16, 17. In Fig. 16, Qn3, Qn4 shown in Fig. 3 are replaced with p-channel MOS transistors Qp1, Qp2. In Fig. 17, Qn22, Qn23, Qn25 to Qn28 shown in Fig. 11 are replaced with p-channel MOS transistors Qp3 to Qp8. Thus, the drop of voltage to be transferred due to the threshold of the n-channel MOS transistor can be prevented, and in this example, it will be sufficient to increase the voltage VSA to 8V in writing, so that the withstand voltage of the transistor constituting the circuit can be lowered. The VRFY1B in Fig. 16 is reverse signal of the VRFY1 in Figs. 2 and 3, and the VRFY2B and FILB, FIMB in Fig. 17 are respectively reverse signals of the VRFY2, FIL and FIM in Fig. 11.

[0084]

Although additional data write is described with Fig.

8, in order to facilitate additional data write, for example, as shown in Fig. 18, it is an effective method to divide one page. In this example, one region is constituted by 22 memory cells at every logical address 32. Thus, additional data writing in region units can be facilitated. That is, in the case of performing additional data writing to a region 2, it will be sufficient that the write data to the regions except the region 2 are all set "0", and additional data writing is performed according to a data write algorithm shown in Fig. 9(a). As for the size of one region, any size other than the size shown in Fig. 18 will do. Further, in the case of setting four or more write states in one memory cell, such setting may be implemented according to the gist of the invention.

[0085]

#### [Advantage of the Invention]

According to the invention, as described above, it is possible to provide the EEPROM, which may set three writes states in one memory cell while the increase of the circuit area is restrained, and independently optimize the write time required until the respective memory cells enter the respective write states by conducting the write verification control, so that the threshold distribution of the finally written memory cell can fall in a small range at high speed.

#### [Brief Description of the Drawings]

[Fig. 1] Fig. 1 is a block diagram showing the schematic

configuration of EEPROM according to first and second embodiments.

[Fig. 2] Fig. 2 is a diagram showing the concrete configuration of a memory cell array in the first embodiment.

[Fig. 3] Fig. 3 is a diagram showing the concrete configuration of a bit line control circuit in the first embodiment.

[Fig. 4] Fig. 4 is a timing chart showing the read operation in the first embodiment.

[Fig. 5] Fig. 5 is a timing chart showing the write operation in the first embodiment.

[Fig. 6] Fig. 6 is a timing chart showing the verification read operation in the first embodiment.

[Fig. 7] Fig. 7 is a timing chart showing the data input/output operation in the first and second embodiments.

[Fig. 8] Fig. 8 is a diagram showing the concept of a page as a write/read unit in the first and second embodiments.

[Fig. 9] Fig. 9 is a diagram showing the data write and additional data write algorithms in the first and second embodiments.

[Fig. 10] Fig. 10 is a diagram showing the write characteristics of the memory cell in the first embodiment.

[Fig. 11] Fig. 11 a diagram showing the configuration of a memory cell array and a bit line control circuit in the second embodiment.

[Fig. 12] Fig. 12 is a timing chart showing the read operation in the second embodiment.

[Fig. 13] Fig. 13 is a timing chart showing the write operation in the second embodiment.

[Fig. 14] Fig. 14 is a timing chart showing the verification read operation in the second embodiment.

[Fig. 15] Fig. 15 is a diagram showing the write characteristics of the memory cell in the second embodiment.

[Fig. 16] Fig. 16 is a diagram showing a modified form of the bit line control circuit in the first embodiment.

[Fig. 17] Fig. 17 is a diagram showing a modified form of the bit line control circuit in the second embodiment.

[Fig. 18] Fig. 18 is a diagram showing a unit of additional data write in the first and second embodiments.

[Fig. 19] Fig. 19 is a circuit diagram of an inverter part in Fig. 3.

[Description of the Reference Numerals and Signs]

- 1: memory cell array
- 2: bit line control circuit
- 3: column decoder
- 4: data write end detection circuit
- 5: input/output data conversion circuit
- 6: data input/output buffer
- 7: word line driving circuit
- 8: row decoder



FIG. 1:

- 1: MEMORY CELL
- 2: BIT LINE CONTROL CIRCUIT
- 3: COLUMN DECODER
- 4: DATA WRITE END DETECTION CIRCUIT
- 5: INPUT/OUTPUT DATA CONVERSION CIRCUIT
- 6: DATA INPUT/OUTPUT BUFFER
- 7: WORK LINE DRIVING CIRCUIT
- 8: ROW DECODER

FIG. 4:

FIRST CYCLE OF READING

"2" READ

"0/1" READ

SECOND CYCLE OF READING

"1/2" READ

"0" READ

FIG. 5:

"0" WRITE

"1" WRITE

"2" WRITE

FIG. 6:

BL1 ("0" DATA WRITE)

BL1 ("1" DATA WRITE)

BL1 ("2" DATA WRITE)

FIRST CYCLE OF VERIFICATION READ

SECOND CYCLE OF VERIFICATION READ

FIG. 7(a):

DATA INPUT 3 CYCLE

REGISTER R1, REGISTER R2, REGISTER R1, REGISTER R2

FIG. 7(b):

DATA OUTPUT 3 CYCLE

REGISTER R1, REGISTER R2, REGISTER R1, REGISTER R2

FIG. 8:

LOGICAL ADDRESS

REGION 1      REGION 2

FIG. 9 (a):

DATA WRITE START

DATA LOAD

WRITE

VERIFICATION READ

WRITE END?

END

FIG. 9 (b):

ADDITIONAL DATA WRITE START

READ

DATA LOAD

VERIFICATION READ

WRITE END?

WRITE

END

FIG. 10:

THRESHOLD OF MEMORY CELL (V)

WRITE TIME

CELL TO WRITE "2" MOST QUICKLY

CELL TO WRITE "2" MOST SLOWLY

CELL TO WRITE "1" MOST QUICKLY

CELL TO WRITE "1" MOST SLOWLY

ONE WRITE TIME

"0" WRITE CELL

FIG. 12:

FIRST CYCLE OF READ

"0/1" READ

"2" READ

SECOND CYCLE OF READ

"0" READ

"1/2" READ

FIG. 13

"2" WRITE

"1" WRITE

"0" WRITE

FIG. 14:

BL1 ("0" DATA WRITE)

BL1 ("1" DATA WRITE)

BL1 ("2" DATA WRITE)

FIRST CYCLE OF VERIFICATION READ

SECOND CYCLE OF VERIFICATION READ

FIG. 15:

THRESHOLD OF MEMORY CELL (V)

WRITE TIME

ONE WRITE TIME

"0" WRITE CELL

CELL TO WRITE "1" MOST SLOWLY

CELL TO WRITE "1" MOST QUICKLY

CELL TO WRITE "2" MOST SLOWLY

CELL TO WRITE "2" MOST QUICKLY

FIG. 18:

LOGICAL ADDRESS

REGION 1    REGION 2    REGION N

22 MEMORY CELLS